پودمان ۳

تحلیل مدارهای دیجیتال

دنیای کنونی که نام آن دهکده جهانی مطرح شده، به دلیل وجود شبکه‌های پیچیده و پیشرفته اطلاع‌رسانی و تجهیزات مدرن مخابراتی و حمل و نقل است. تحول دراین زمینه نیز سبب استفاده ازاین پدیده‌های مدرن در سایر زمینه‌های صنعتی، نظامی، کشاورزی و پزشکی شده است و به‌کارگیری‌این نوع تجهیزات و دستگاه‌ها که کارایی بالایی دارند، تقریباً همه‌گیر شده است. منشأاین کارایی را می‌توان در علوم دیجیتال جست‌وجو کرد. یکی از کاربردهای دیجیتال در رسانه‌های جمعی، رسانه‌های رایانه‌ای است. با توجه به‌این پدیده، در سال‌های آینده شاهد کاربرد بسیار محدود دستگاه‌های آنالوگ خواهیم بود و دستگاه‌های دیجیتالی همه‌گیر خواهند شد. کمااینکه هم اکنون استفاده از گیرنده‌های دیجیتال تلویزیونی فراگیر شده است و طولی نمی‌کشد که دیگر نمی‌توانید نمونه‌های گیرنده‌های آنالوگ تلویزیون را در منازل ببینید. زیرا انتقال حجم عظیم اطلاعات در زمان بسیار کوتاه، بازسازی اطلاعات ارسالی در مقصد با کیفیت بسیار بالا و تحلیل دقیق اطلاعات از طریق سامانه‌های دیجیتالی به آسانی امکان‌پذیر شده است.

بنابراین با توجه به نیازی که در ارتباط با تأمین نیروی انسانی وجود دارد، دراین پیمانه، در دو واحد یادگیری مطالب پایه‌ای مورد نیاز مربوط به مدارهای دیجیتالی را آموزش می‌دهیم.

واحد یادگیری ۵

کسب شایستگی در به‌کارگیری قوانین جبر بول و نقشه کارنو (به صورت محاسباتی و نرم‌افزاری)

آیا تا به‌حال فکر کرده‌اید:

- چرا باید توابع منطقی را ساده کنیم؟
- بستن مدارهای دیجیتالی با گیت‌های کمتر چه مزایایی دارد؟
- چه قوانینی برای نوشتن و ساده کردن توابع منطقی وجود دارد؟
- قوانین جبر بول چه شباهت‌هایی با قوانین حاکم بر اتحادهای ریاضی دارد؟
- چه روش‌هایی برای ساده‌سازی توابع منطقی وجود دارد؟
- چه نرم‌افزارهایی برای ساده‌سازی توابع منطقی وجود دارد؟
- ساده‌سازی توابع منطقی با نرم‌افزار، چه کمکی به آموزش می‌کند؟

برای طراحی مدارهای دیجیتالی باید از روش‌های استاندارد و تعریف شده‌ای استفاده کنیم که بتواند کار طراحی مدار را ساده کند. نخستین گام دراین راستا، نوشتن توابع منطقی و ساده کردن آن است. به‌این ترتیب می‌توانیم در طراحی و ساخت مدارهای الکترونیک و دیجیتالی از قطعات کمتری استفاده کنیم. همان‌طور که می‌دانید، استفاده از تعداد زیاد گیت‌های دیجیتالی سبب افزایش تعداد قطعات و در پی آن اشغال حجم زیاد، تلفات توان بالا، تأخیر در انتشار زیاد و هزینه بالا می‌شود. یکی از روش‌ها برای ساده‌سازی توابع منطقی، استفاده از قوانین جبر بول است.

دراین واحد یادگیری، ابتدا قوانین جبر بول توضیح داده می‌شود، سپس در ارتباط با آن چند مثال و تمرین حل می‌کنید تا بتوانید به مهارت‌های لازم برای به‌کارگیری‌این قوانین برسید. بعد از کسب مهارت در قوانین جبر بول، توابع منطقی را با استفاده از نقشه کارنو ساده خواهید کرد. به‌کارگیری نرم‌افزار برای ساده‌سازی توابع منطقی می‌تواند صحت عملکرد ما را مورد تأیید قرار دهد.

استاندارد عملکرد

به کارگیری قوانین جبر بول و نقشه کارنو برای ساده‌سازی توابع منطقی

۱ـ۵ـ یادآوری گیت‌های منطقی

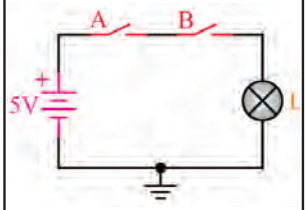
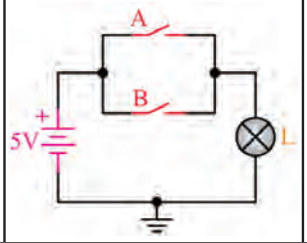
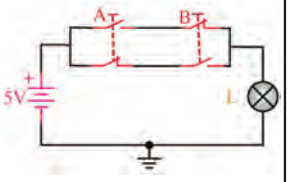
با گیت‌های منطقی پایه در پودمان‌های قبلی آشنا شده‌اید. جهت یادآوری عملکرد گیت‌های منطقی پایه، در جدول ۱ـ۵، نماد، تابع منطقی خروجی برحسب متغیرهای ورودی و جدول درستی آنها را آورده‌ایم. لازم است جهت یادآوری، جدول را مورد مطالعه دقیق قرار دهید.

جدول ۱ـ۵ نماد، تابع منطقی و جدول درستی

نام دروازه	نماد (سمبل گرافیکی)	تابع منطقی	جدول درستی
AND		$Y = AB$	A B Y 0 0 0 0 1 0 1 0 0 1 1 1
OR		$Y = A + B$	A B Y 0 0 0 0 1 1 1 0 1 1 1 1
NOT		$Y = \overline{A}$	A Y 0 1 1 0
NAND		$Y = \overline{AB} = (AB)'$	A B Y 0 0 1 0 1 1 1 0 1 1 1 0
NOR		$Y = \overline{A+B} = (A+B)'$	A B Y 0 0 1 0 1 0 1 0 0 1 1 0
XOR		$Y = A \oplus B = \overline{A}B + A\overline{B}$	A B Y 0 0 0 0 1 1 1 0 1 1 1 0
XNOR		$Y = \overline{A \oplus B} = \overline{A}\overline{B} + AB$	A B Y 0 0 1 0 1 0 1 0 0 1 1 1
Buffer		$Y = A$	A Y 0 0 1 1

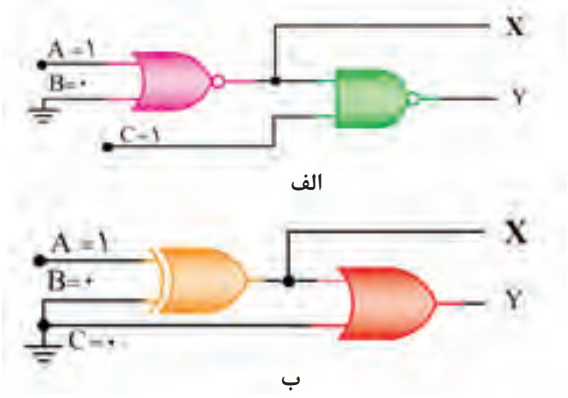
فعالیت

■ با توجه به مدار معادل کلیدی شکل ۱ـ۵، نماد هرگیت را در محل تعیین شده رسم کنید و تابع منطقی خروجی را برحسب متغییرهای ورودی بنویسید.

ردیف	نماد معادل کلیدی گیت	نمادگیت	تابع منطقی خروجی برحسب متغیرهای ورودی
۱			
۲			
۳			

شکل ۱ـ۵

■ با توجه به شکل الف و ب ۲ـ۵، تراز منطقی ۰ یا ۱ را در خروجی‌های X و Y مربوط به هر گیت تعیین کرده و در جدول درستی هر یک از مدارها درج کنید.



A	B	C	X	Y
۱	۰	۱		

A	B	C	X	Y
۱	۰	۰		

شکل ۲ـ۵

۲ـ۵ـ قوانین جبر بول (Boolean Algebra)

جبر بول مدلی ریاضی برای مدارهای منطقی است که چگونگی عملکرد یک مدار دیجیتالی را با زبان ریاضی تعریف شده خاص خود بیان می‌کند. با استفاده از قوانین جبر بول، مدل ریاضی ساده و قابل استفاده‌ای برای انواع مدارهای منطقی، مدارهای ترکیبی و ترتیبی دیجیتالی ارائه می‌شود. با استفاده ازاین روابط می‌توانیم به موارد زیر دست یابیم.

- روابط بین خروجی‌ها و ورودی‌های مدار به‌صورت ساده‌ترین شکل ریاضی.
- اجزای واقعی مدارهای کاربردی و عملی و آموزش آنها به ساده‌ترین شکل.
- بیان صحیح عملکرد منطقی مدارها.

برای فراگیری جبر بول و روابط آن لازم است برخی از مفاهیم را به خوبی یاد بگیریم. بدیهی است بدون فراگیری‌این مفاهیم نمی‌توانیم مدل‌های ریاضی جبر بول را به‌کار ببریم یا آنها را ساده کنیم. بسیاری ازاین موارد با مفاهیم پایه‌ای ریاضی تطابق داشته و برخی از آنها مربوط به جبر بول است. در ادامه به شرح‌این مطالب می‌پردازیم.

عضو خنثی: اگر در عملیات ریاضی، صفر را با اعداد یا توابع ریاضی دیگر جمع کنیم تأثیری در آن عدد یا تابع ندارد.این حالت یعنی در عملیات جمع به صفر عضو خنثی می‌گوییم. همچنین اگر عدد یک را در عدد یا تابع ریاضی ضرب کنیم، در عدد یا تابع ریاضی تأثیری ندارد. یعنی در عملیات ضرب، عدد یک را عضو خنثی می‌گوییم. دراین قسمت می‌خواهیم تأثیر عضو خنثی در عمل منطقی AND و OR را مورد بررسی قرار دهیم.

□ **عضو خنثی (inactive) در عمل منطقی OR:** در عمل منطقی OR، وقتی متغیر یا تابع با عضو خنثی جمع منطقی(OR) می‌شود، تابع یا متغیر به همان شکل باقی می‌ماند. دراین عمل منطقی، صفر منطقی را که چنین خاصیتی دارد عضو خنثی می‌نامند.

مثال۱: $0 + A = A$

مثال۲: $0 + AB + \overline{C}D = AB + \overline{C}D$

□ **عضو خنثی در عمل منطقی AND:** در عمل منطقی AND، یک منطقی را عضو خنثی می‌نامند.

فکر کنید

با توجه به تعریف بیان شده برای عضو خنثی در عمل منطقی OR، چرا عدد یک را برای عمل منطقی ANDعضو خنثی می‌نامند؟

مثال۳: $1 \cdot A = A$

مثال۴: $1 \cdot (AB + CD) = AB + CD$

کار گروهی

مدارهای کلیدی $A+0$ و $A.1$ را رسم کنید و عملکرد مدارهای کلیدی را بررسی کرده و نتیجه را ارائه دهید.

نکته

توجه داشته باشید که صفر ("۰") معادل مدار کلید همیشه باز و یک ("۱") معادل مدار کلید همیشه بسته است.

فعالیت در منزل

با استفاده از یکی از نرم‌افزارهایی که آموخته‌اید، عضو خنثی را در عمل منطقی OR و AND، در دوحالت به‌صورت مدار کلیدی و گیت منطقی ببندید و نتیجه عملکرد مدارها را مشاهده کنید و با مفاهیم تعریف شده تطبیق دهید.

بارش فکری

- اگر متغیر یا تابع منطقی با یک منطقی(۱) OR شود، حاصل چه خواهد شد؟ چرا؟ ?=A+۱
- اگر متغیر یا تابع منطقی با صفر منطقی(۰) AND شود، حاصل چه خواهد شد؟ چرا؟ ?=A . ۰

پس از بارش فکری نتیجه را جمع‌بندی کنید و در قالب یک گزارش کوتاه ارائه دهید.

قانون یکسانی یا عینیت (Identity)

هرگاه متغیر یا تابعی منطقی با خودش جمع منطقی شود(OR) یا ضرب منطقی شود (AND)، حاصل همان متغیر یا تابع خواهد بود.

فکر کنید

توجه داشته باشید که‌این عملیات با عملیات ریاضی تطبیق ندارد و از عملیات ویژه جبر بول است. چرا؟با مثال شرح دهید

مثال۵: $A + A + A = A$ و $A.A.A = A$

مثال۶: $AC + BD + AC + BD = AC + BD$

مثال۷: $A.AB = AB$

مثال۸: $(\overline{A}\,\overline{B} + CD).(\overline{A}\,\overline{B} + CD) = \overline{A}\,\overline{B} + CD$

فعالیت

توابع F_1 و F_2 را ساده کنید.

۱) $F_1 = AB + AB + CCD$

۲) $F_2 = \overline{A}\,\overline{A}BC + \overline{A}BC + BBC$

قانون جابه‌جایی(Relocation): در عمل منطقی OR و AND بین چند متغیر، متغیرها جابه‌جایی پذیرند.

فکر کنید

این قانون با کدام یک از مفاهیم ریاضی انطباق دارد؟

مثال۹: $A + B + C = A + C + B = C + A + B = B + C + A$

مثال۱۰: $A.B.C = B.C.A = C.A.B$

قانون اتحاد (association)

مثال۱۱: $A + (B + C) = (A + B) + C$

مثال۱۲: $A.(B.C) = (A.B).C$

فکر کنید

آیا قانون اتحاد با قوانین و مفاهیم ریاضی انطباق دارد؟ پاسخ دهید و پاسخ خود را به بحث بگذارید و جمع‌بندی کنید.

قانون توزیع (Distribution)

□ **توزیع AND در OR**

مثال۱۳: $A.(B+C) = A.B + A.C$

□ **توزیع OR در AND**

مثال۱۴: $A + B.C = (A + B).(A + C)$

فکر کنید

آیا عملیات مثال ۱۴شبیه عمل فاکتورگیری است یا از عملیات ویژه جبر بول به شمار می‌آید؟

فعالیت

با توجه به مقادیر داده شده به متغیرهای A، B و C، جدول ۲ـ۵ را کامل کنید. سپس نتیجه بگیرید که آیا طرفین تساوی مربوط به توزیع OR در AND با هم برابر است؟ نتیجه را به بحث بگذارید.

جدول ۲ـ۵

متغیر A	متغیر B	متغیر C	تابع خروجی B.C	تابع خروجی A+B.C	تابع خروجی A+B	تابع خروجی A+C	تابع خروجی (A+B).(A+C)
۰	۰	۰					
۰	۰	۱					
۰	۱	۰					
۰	۱	۱					
۱	۰	۰					
۱	۰	۱					
۱	۱	۰					
۱	۱	۱					

کار نرم‌افزاری

مدار کلیدی A+BC و (A+C).(A+B) را به طور جداگانه ببندید و با تغییر وضعیت کلیدهای A، B و C جدولی تشکیل دهید و مباحث درج شده در ستون‌های جدول را از نظر علمی تأیید کنید و اثبات کنید که عملکرد مدار اولیه و مدار حاصل از توزیع OR در AND یکسان است.

قانون متمم (Complement)

□ اگر متغیری با نفی خودش OR شود، حاصل یک منطقی (۱) می‌شود.این عمل جبر بول را قانون متمم می‌گویند.

$$A+\overline{A}=۱$$

□ اگر متغیری با نفی خودش AND شود، حاصل صفر منطقی (۰) می‌شود. این عمل جبر منطقی را نیز قانون متمم می‌گویند.

$$A.\overline{A}=۰$$

فعالیت

با توجه به قانون متمم جدول ۳ـ۵ را تکمیل کنید.

جدول ۳ـ۵

A	$\overline{A}$	$A+\overline{A}$	$A.\overline{A}$
۰			
۱			

■ ساده‌سازی توابع با استفاده از قوانین جبر بول

با استفاده از قوانین جبر بول می‌توانیم توابع منطقی را ساده کنیم. دراین قسمت ساده‌سازی را از طریق مثال تشریح می‌کنیم.

مثال ۱۵: تابع منطقی $F=A+\overline{A}B$ را ساده کنید.

پاسخ:

با به‌کارگیری قانون توزیع نتیجه می‌شود:

$$F=(A+\overline{A}).(A+B)$$
$$F=۱.(A+B)=A+B$$

مثال ۱۶: تابع F را ساده کنید. $F=A+AB$

پاسخ: با به‌کارگیری قانون جبر بول داریم:

$$F=A.۱+A.B \qquad F=A(۱+B)=A(۱)=A$$

مثال ۱۷: تابع Y به‌صورت $Y=A\overline{B}+\overline{A}\,\overline{B}$ تعریف شده است.

الف)مدار منطقی تابع Y را با گیت‌های منطقی رسم کنید.

ب) تابع Y را توسط قوانین جبر بول ساده کنید.

پ)مدار ساده شده را رسم کنید.

پاسخ:

الف) برای هر یک از گیت‌های داده شده در تابع، نماد آن را رسم می‌کنیم، سپس ورودی‌ها و خروجی‌ها را ارتباط می‌دهیم. شکل ۳ـ۵ مدار معادل Y را نشان می‌دهد.

ب)با توجه به قوانین جبر بول تابع را ساده می‌کنیم. با استفاده از قانون توزیع داریم:

$$Y = A\overline{B} + \overline{A}\,\overline{B} = \overline{B}(A + \overline{A})$$

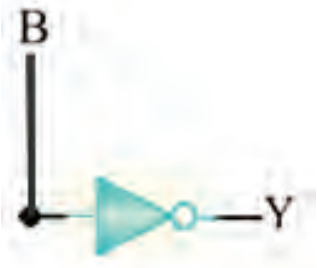
با استفاده از قانون متمم داریم:

$$Y = \overline{B}(۱)$$

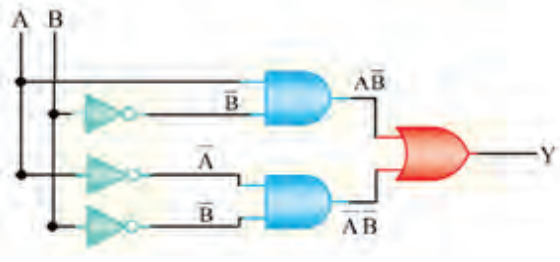
با استفاده از قانون عضو خنثی داریم

$$Y = \overline{B}$$

پ) مدار ساده شده به‌صورت شکل ۴ـ۵ در می‌آید.



شکل ۴ـ۵ـ مدار ساده شده تابع Y



شکل ۳ـ۵ـ مدار معادل تابع Y

همان‌طور که ملاحظه می‌شود، با توجه به قوانین ساده‌سازی جبر بول، توانستیم تابعی را که در آن تعداد ۲ متغیر قرار دارد و عملاً برای مدار آن مجبور بودیم تعداد ۶ گیت به‌کار ببریم، تبدیل به تابعی با یک متغیر و یک گیت نماییم.

مثال ۱۸: تابع $F = \overline{A}B + A\overline{B} + AB$ را ساده کنید.

پاسخ:

با استفاده از قانون توزیع داریم:

$$F = \overline{A}B + A(\overline{B} + B)$$

با استفاده از قانون متمم داریم:

$$F = \overline{A}B + A(۱) = \overline{A}B + A$$

با به‌کارگیری دوباره قانون توزیع و متمم داریم:

$$F = (A + \overline{A})(A + B) = ۱(A + B) = (A + B)$$

فعالیت در ساعات غیر درسی

مدار معادل تابع اولیه و تابع ساده شده مثال ۱۸ را رسم کنید.

بحث کنید

درباره تعداد متغیرها و تعداد گیت‌های تابع اولیه بحث کنید و تعداد متغیرها و تعداد گیت‌ها را در هر دو حالت با هم مقایسه کنید. همچنین بررسی کنید آیا خروجی‌ها برای هر دو حالت یکسان است یا خیر؟

فعالیت

تابع $Y=\overline{A}\overline{B}\overline{C}+A\overline{B}\overline{C}+\overline{A}\,\overline{B}\,\overline{C}$ را با استفاده از قوانین جبر بول ساده کنید. سپس از روی تابع ساده‌شده مدار منطقی Y را رسم کنید.

فعالیت نرم‌افزاری در ساعات غیر درسی

هر دو تابع اصلی و ساده شده را به‌صورت نرم‌افزاری ببندید و عملکرد آنها را با هم مقایسه کنید. آیا نتیجه یکسان است؟

تمرین نرم‌افزاری در ساعات غیر درسی

تابع $Y=\overline{A}\overline{B}\overline{C}+A\overline{B}\overline{C}+\overline{A}\,\overline{B}\,\overline{C}$ را با استفاده از دستگاه Logic Convertor در نرم‌افزار مولتی‌سیم، ساده کنید و نتیجه را با تابع ساده شده توسط قوانین جبر بول مقایسه کنید.

نکته

تابع نرم‌افزاری اصلی و ساده شده توسط هنرآموز نمایش داده شود.

تمرین

مدار منطقی تابع Y را در تمرین نرم‌افزاری فوق با استفاده از گیت‌های منطقی رسم کنید و خروجی آن را به دست آورید. سپس تابع را ساده کنید و مدار منطقی تابع ساده شده را نیز ترسیم کنید و خروجی آن را تعیین نمایید. نتایج حاصل از خروجی‌ها را در دوحالت با هم مقایسه کنید. اگر عملیات ساده‌سازی را درست انجام داده باشید، خروجی‌ها باید برابر باشند. پس ازاین تطبیق نتایج را برای هر دو حالت با نتایج حاصل از نرم‌افزار مقایسه کنید. نتیجه را در قالب یک گزارش ارائه دهید.

جدول ۴ـ۵

A	B	C	F
۰	۰	۰	۰
۰	۰	۱	۰
۰	۱	۰	۱
۰	۱	۱	۱
۱	۰	۰	۰
۱	۰	۱	۰
۱	۱	۰	۱
۱	۱	۱	۱

تمرین نرم‌افزاری:

الف)تابع منطقی جدول درستی ۴ـ۵ را بنویسید.

ب) توسط Logic Converter تابع F را ساده کنید.

پ) توسط قوانین جبر بول تابع F را ساده کنید.

ت) مدارهای مربوط به تابع ساده شده را رسم کنید.

ث) نتیجه عملیات انجام شده توسط خود را با عملکرد نرم‌افزار مقایسه کنید.

فعالیت گروهی

- با استفاده از تجربه‌های کسب شده، تعداد حداقل سه تابع با سه متغیر طراحی کنید.
- با استفاده از قوانین جبر بول توابع را ساده کنید.
- مدار معادل منطقی هر یک از توابعی را در دو حالت اصلی و ساده شده با استفاده از گیت‌های منطقی ترسیم کنید.
- توابع اصلی را با نرم‌افزار شبیه‌سازی کنید و خروجی هر یک را به‌دست آورید.
- توابع ساده شده را با نرم‌افزار شبیه‌سازی کنید و خروجی هر یک را به‌دست آورید.
- هر یک از توابع طراحی شده در حالت ساده‌سازی با قوانین جبر بول و نرم‌افزاری را با هم مقایسه کنید و نتیجه آن را در قالب گزارش بنویسید.

الگوی پرسش: با به‌کارگیری قوانین جبر بول توابع زیر را ساده کنید. سپس مدار تابع اصلی و تابع ساده‌شده را ترسیم کنید. در نهایت صحت مدارها را با نرم‌افزار logic converter تأیید نمایید.

۱ـ $F_1 = \overline{A}B + A\overline{B} + AB$

۲ـ $F_2 = \overline{A}\,\overline{C} + AB\overline{C}$

۳ـ $F_3 = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}C + \overline{A}B + A\overline{B}\,\overline{C}$

۴ـ $F_4 = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}C + A\overline{B}\,\overline{C} + A\overline{B}C$

۵ـ $F_5 = A\overline{C} + B\overline{C} + \overline{A}B + \overline{A}\,\overline{B}$

۳ـ۵ـ قانون دمورگان

- هرگاه روی تمام متغیرهای یک تابع منطقی علامت منفی کامل یا نفی کلی وجود داشته باشد($Y = \overline{A.B}$ یا $Y = \overline{A+B}$) می‌توان علامت نفی را روی تک تک متغیرهای تابع اثر داد. دراین حالت لازم است براساس قانون دمورگان عمل منطقی بین متغیرها از AND به OR یا از OR به AND یا از ۰ به ۱ یا از ۱ به ۰ تغییر کند.

مثال ۱۹:

$$Y = \overline{A+B} = \overline{A}.\overline{B}$$

$$Y = \overline{A.B} = \overline{A} + \overline{B}$$

به‌این ترتیب پس از تبدیل می‌توانیم توابع منطقی را با کمک قوانین جبر بول ساده کنیم.

مثال ۲۰: تابع $F = \overline{A+B+C}$ را با استفاده از قانون دمورگان ساده کنید.

$$F = \overline{A+B+C} = \overline{A}.\overline{B}.\overline{C}$$

تمرین: تابع $F = \overline{A.B.C}$ را با استفاده از قانون دمورگان ساده کنید.

مثال ۲۱: تابع $F = \overline{A+BC}$ را با استفاده از قانون دمورگان و قوانین جبر بول ساده کنید.

پاسخ: چون علامت منفی یا نفی کلی روی تمام تابع وجود دارد و تابع ترکیبی از سه متغیر به‌صورت AND و OR است باید عملیات ساده‌سازی طی چند مرحله انجام شود.

مرحله اول: طبق قانون دمورگان علامت نفی کلی روی تابع را به متغیر A و متغیرهای عبارت B. C منتقل و عمل منطقی OR را به AND تبدیل می‌نماییم.

$$F = \overline{A+BC} = \overline{A}.\overline{BC}$$

همان‌طور که مشاهده می‌شود عمل منطقی بین متغیرهای A و B. C از OR به AND تبدیل شده است.

مرحله دوم: علامت نفی روی متغیرهای B. C را به متغیرهای B و C انتقال می‌دهیم و عمل منطقی AND را به OR تبدیل می‌نماییم.

$$F=\overline{A}.\overline{BC}=\overline{A}.(\overline{B}+\overline{C})$$

مرحله سوم: با استفاده از قانون توزیع $\overline{A}$ را در متغیرهای $\overline{B}$ و $\overline{C}$ توزیع می‌کنیم.

$$F=\overline{A}.(\overline{B}+\overline{C})=\overline{A}\,\overline{B}+\overline{A}\,\overline{C}$$

مثال ۲۲: قانون دمورگان را برای تابع Y به‌کار ببرید.

$$Y=(\overline{A+B}).(\overline{CD})$$

پاسخ:

$$F=(\overline{A}.\overline{B}).(\overline{C}+\overline{D})=\overline{A}\,\overline{B}\,\overline{C}+\overline{A}\,\overline{B}\,\overline{D}$$

نکته: با استفاده از قانون دمورگان می‌توانیم تابع $Y=\overline{ABC}$ را به‌صورت $Y=\overline{A}+\overline{B}+\overline{C}$ نیز بنویسیم.

بحث کنید: چگونگی حل مثال ۲۲ را مرحله به مرحله به بحث بگذارید تا قانون دمورگان و قوانین جبر بول کاملاً ملکه ذهنتان شود.

فعالیت

با توجه به طرف اول و دوم تابع $F=\overline{A+B}=\overline{A}.\overline{B}$ جدول ۵ـ۵ را کامل کنید.

اثبات کنید: نتایج حاصل شده در جدول ۵ـ۵ را به بحث بگذارید و اثبات کنید که در هر مرحله طرف اول و دوم با هم برابر است.

جدول ۵ـ۵

طرف اول				طرف دوم		
A	B	A+B	$\overline{A+B}$	$\overline{A}$	$\overline{B}$	$\overline{A}.\overline{B}$
۰	۰					
۰	۱					
۱	۰					
۱	۱					

الگوی پرسش:

۱ـ تابع F را ساده کنید. مشابه مثال ۲۱، هریک از مراحل را به تفکیک بنویسید.

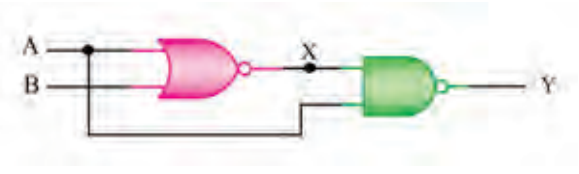
$$F=\overline{A+\overline{\overline{A}BC}}$$

۲ـ ابتدا تابع منطقی خروجی‌های X و Y شکل ۵ـ۵ را برحسب متغیرهای ورودی A و B بنویسید، سپس تابع خروجی Y را با استفاده از قوانین دمورگان و جبر بول ساده کنید.

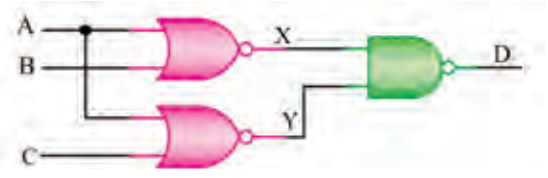
۳ـ با استفاده از قوانین دمورگان و جبر بول تابع Y را ساده کنید.

$$F=\overline{\overline{AB}C+\overline{AB}C}$$

۴ـ در شکل ۶ـ۵ تابع منطقی خروجی هر گیت را برحسب متغیرهای ورودی A و B بنویسید سپس تابع خروجی D را با استفاده از قوانین جبر بول و دمورگان ساده کنید.



شکل ۵ـ۵



شکل ۶ـ۵

۴ـ۵ـ مین‌ترم یک تابع (Minterm)

■ یک تابع با دو متغیر A و B را در نظر بگیرید. جدول درستی‌این تابع دارای $۲^۲=۴$ حالت است. هریک ازاین حالت‌ها را یک مین‌ترم می‌نامیم. بنابراین تابع می‌تواند چهارحالت یا چهار مین‌ترم داشته باشد. جدول درستی تابع با دو متغیر و مین‌ترم‌های آن در هر ردیف، در جدول ۶ـ۵ نشان داده شده است. در جدول ۷ـ۵ تابع F را برای یک سامانه فرضی در نظر می‌گیریم و مقادیر معادل صفر و یک آن را طبق جدول ۷ـ۵ می‌نویسیم. همان‌طور که ملاحظه می‌شود در سه ردیف از ستون مربوط به تابع F، مقدار تابع یک و در یک ردیف مقدار تابع صفر است. بنابراین تابع F برای ردیف‌هایی که ۱ است خروجی دارد. در نهایت تابع به‌صورت $F=\overline{A}\,\overline{B}+A\overline{B}+AB$ درمی‌آید.

جدول ۶ـ۵

A	B	F
۰	۰	$\overline{A}\,\overline{B}$
۰	۱	$\overline{A}B$
۱	۰	$A\overline{B}$
۱	۱	AB

جدول ۷ـ۵

A	B	F
۰	۰	۱
۰	۱	۰
۱	۰	۱
۱	۱	۱

جدول ۸ـ۵

ورودی‌ها			خروجی	
A	B	C	Y	
۰	۰	۰	۰	
۰	۰	۱	۱	$\overline{A}\,\overline{B}C$
۰	۱	۰	۰	
۰	۱	۱	۰	
۱	۰	۰	۱	$A\overline{B}\,\overline{C}$
۱	۰	۱	۱	$A\overline{B}C$
۱	۱	۰	۰	
۱	۱	۱	۱	ABC

اصطلاحاً می‌گوییم‌این تابع به‌صورت مین‌ترم نوشته شده است، زیرا مین‌ترم مربوط به مقدار صفر آن را حذف کرده‌ایم. تابع مین‌ترم دارای ۲ مشخصه به شرح زیر است:

■ در همه عبارت‌های تابع باید همه متغیرها یا نفی آنها حتماً وجود داشته باشد.

■ تابع حاصل ازاین مین‌ترم به‌صورت مجموعی (OR) از عبارت‌هایی است که در هر عبارت متغیرها با هم AND شده‌اند.

اثبات کنید: تابع $F=\overline{A}\,\overline{B}+A\overline{B}+AB$ را به بحث بگذارید. آیا دو مشخصه ذکر شده برای‌این تابع صدق می‌کند؟ توضیح دهید چرا؟

مثال ۲۳: به جدول ۸ـ۵ توجه کنید.این جدول مربوط به خروجی یک سامانه فرضی است که تعداد سه متغیر و تعداد ۸ مین‌ترم دارد (۸=۲^{۳}). همان‌طور که ملاحظه می‌شود، خروجی چهار مین‌ترم تابع برابر با یک و چهار مین‌ترم دیگر خروجی برابر با صفر است. با استفاده از خروجی‌های ۱، تابع F را در ردیف‌هایی که برابر ۱ است به‌صورت مجموع مین‌ترم‌ها می‌نویسیم.

$F=\overline{A}\,\overline{B}C+A\overline{B}\,\overline{C}+A\overline{B}C+ABC$

پژوهش

درباره رابطه $F=\sum_{M}(۱,۴,۵,۷)$ که مربوط به مین‌ترم‌های تابع F مثال ۲۳ است، تحقیق کنید.

فعالیت

تابع خروجی Y را در جدول ۹ـ۵ به‌صورت مجموع مین‌ترم‌ها بنویسید.

جدول ۹ـ۵

ورودی‌ها			خروجی
A	B	C	Y
۰	۰	۰	۰
۰	۰	۱	۱
۰	۱	۰	۰
۰	۱	۱	۱
۱	۰	۰	۱
۱	۰	۱	۰
۱	۱	۰	۱
۱	۱	۱	۱

۵ـ۵ـ پیاده‌سازی توابع منطقی با استفاده از نقشه کارنو

■ در مبحث قبل ساده‌سازی توابع منطقی با استفاده از قوانین جبر بول، مانند قوانین توزیع(فاکتورگیری) و حذف متغیرها را آموختیم. مثلاً $Y=ABC+AB\overline{C}$ پس از ساده‌سازی به‌صورت $Y=AB$ در می‌آید. زیرا

$$Y=AB(C+\overline{C})=AB.۱=AB$$

یکی دیگر از روش‌های ساده‌سازی توابع منطقی استفاده از جدول یا نقشه کارنو است. در نقشه کارنو نیز متغیرها بر اساس همین قوانین ولی با روش ساده‌تر حذف و توابع ساده می‌شوند. در واقع نقشه کارنو شکل تغییر یافته و ساده شده جدول درستی توابع منطقی است.

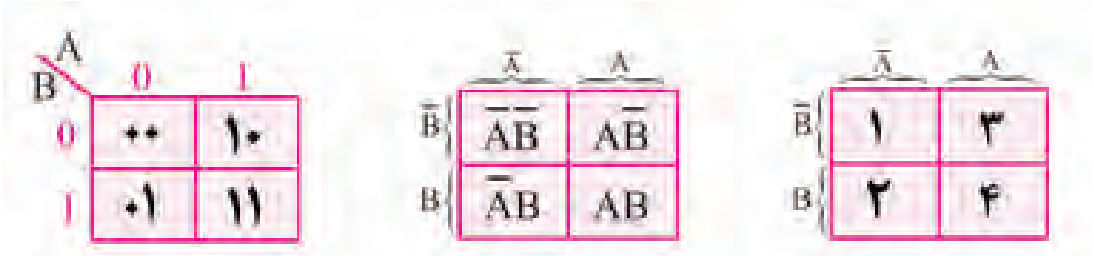
نقشه کارنو با دو متغیر: در جدول ۱۰ـ۵، جدول درستی و مین ترم‌های تابع F با دو متغیر A و B را مشاهده می‌کنید. نقشه کارنو نیز مشابه جدول درستی که دارای ۴ ردیف است، ۴خانه دارد که هر یک از خانه‌ها به یک مین‌ترم اختصاص داده می‌شود. در شکل الف ـ۷ـ۵ نمونه نقشه کارنو ۴ خانه‌ای را ملاحظه می‌کنید. روی هر ضلع مربع که دو خانه دارد متغیرها را به‌صورت A و $\overline{A}$ یا B و $\overline{B}$ می‌نویسیم.

جدول ۱۰ـ۵ـ جدول درستی

ردیف	A	B	F
۰	۰	۰	$\overline{A}\,\overline{B}$
۱	۰	۱	$\overline{A}B$
۲	۱	۰	$A\overline{B}$
۳	۱	۱	AB

نکته

انتخاب محل قراردادن متغیرها و اختصاص دادن خانه‌های مین ترم‌ها در جدول کارنو استاندارد تعریف شده‌ای ندارد ولی برای سادگی و جلوگیری از اشتباه معمولاً الگوی شکل الف ـ ۷ـ۵ را توصیه می‌کنند. در شکل ب ـ ۷ـ۵ خانه‌های اختصاص داده شده به مین‌ترم‌ها را در نقشه کارنو می‌بینید. شکل پ ـ ۷ـ۵ نقشه کارنو با اعداد باینری اختصاص داده شده به هر خانه نشان داده شده است.

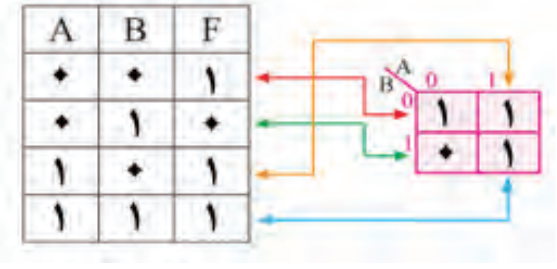


الف) هر خانه معرف ردیف در جدول ب) هر خانه معرف مین‌ترم در هر ردیف پ) هر خانه معادل عدد باینری هر ردیف

شکل ۷ـ۵ـ جدول کارنو

جدول ۱۱ـ۵

A	B	F
•	•	۱
•	۱	•
۱	•	۱
۱	۱	۱



شکل ۸ـ۵ نمایش تابع F را در نقشه کارنو

■ **نمایش یک تابع در نقشه کارنو:** در نمایش یک تابع در نقشه کارنو، به جای مین‌ترم‌هایی که تابع آن برابر با یک است، در مربع مربوطه مقدار عدد یک و در مربع‌های مربوط به مین‌ترم‌هایی که تابع به ازای آن صفر است، صفر قرار می‌دهیم. به جای صفر می‌توانیم مربع را خالی بگذاریم.

مثال ۲۴: با استفاده از جدول ۱۱ـ۵ تابع F را در نقشه کارنو شکل ۸ـ۵ نمایش دهید.

فعالیت

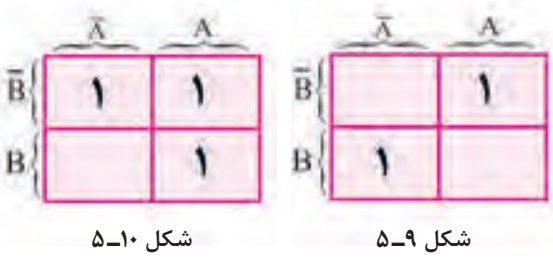
در شکل ب ـ۷ـ۵ در خانه «صفر» معادل $\bar{A}\bar{B}=0$ را قرار دهید. سپس جدول درستی مین‌ترم‌ها را در هر خانه مشخص کنید. آیا می‌توانیم به جای $\bar{A}\bar{B}=00=0$ و برای سایر خانه‌ها معادل یک را درج کنیم؟ چرا؟

نکته

در شکل پ ـ ۷ـ۵ متغیر A و B را به جای اینکه تکرار کنیم، در بالا و سمت چپ روی خط مورب بالای جدول قرار داده‌ایم.

مثال ۲۵: تابع $F=\bar{A}B+A\bar{B}$ در نقشه کارنو شکل ۹ـ۵ نشان داده شده است.

مثال ۲۶: جدول درستی تابع $F=A+\bar{B}$ را رسم کنید. تابع در نقشه کارنوی شکل ۱۰ـ۵ نشان داده شده است.



شکل ۹ـ۵ شکل ۱۰ـ۵

الگوی پرسش:

۱ـ با استفاده از جدول ۱۲ـ۵، نقشه کارنو را ترسیم کنید.

۲ـ نقشه کارنوی توابع زیر را ترسیم کنید، سپس ساده‌ترین شکل جدول درستی را از نقشه کارنو استخراج کنید.

الف) $F = \overline{A}B + A\overline{B}$

ب) $F = \overline{B} + \overline{A}B$

پ) $F = \overline{A} + \overline{B}$

جدول ۱۲ـ۵

A	B	F
۰	۰	۱
۰	۱	۱
۱	۰	۰
۱	۱	۱

۶ـ۵ـ استخراج ساده‌ترین شکل تابع منطقی از نقشه کارنو

■ پس از نمایش تابع در نقشه کارنو، می‌توان ساده‌ترین شکل تابع را از نقشه استخراج کرد. به مین ترم‌های موجود در نقشه کارنو شکل ۱۱ـ۵ که مربوط به دو متغیر است توجه کنید. مین ترم‌ها در مربع‌های کنار هم فقط در یک متغیر با هم اختلاف دارند. زیرا در یک مین ترم متغیر و در مین ترم کناری مکمل آن $\overline{A}$ وجود دارد که با هم متفاوت است و متغیر $\overline{B}$ در هر دو مشترک است.این دو خانه را اصطلاحاً مجاور یا همسایه می‌گویند. با توجه به‌این اشتراک، به آسانی می‌توانیم مربع‌های مجاور (با یک اختلاف در متغیرها) را ساده کنیم.

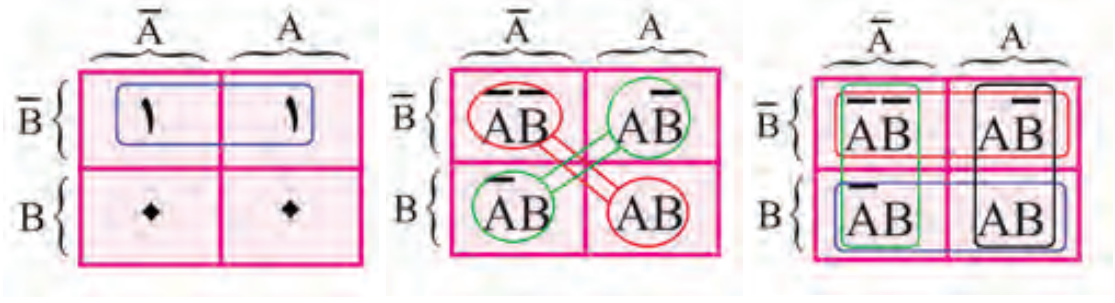
$$\overline{A}\,\overline{B} + \overline{A}B = \overline{A}(B + \overline{B}) = \overline{A}$$

☑ اما مین‌ترم‌های موجود در مربع‌های واقع در قطرها مانند شکل ۱۲ـ۵، به دلیل داشتن دو اختلاف ساده‌پذیر نیستند. معمولاًاین مین‌ترم‌ها هستند که تابع خروجی را تشکیل می‌دهند. حال با ذکر یک مثال می‌خواهیم ساده‌ترین شکل تابع را از جدول کارنو استخراج کنیم.

مثال ۲۷: ساده‌ترین عبارت منطقی ممکن را از نقشه کارنو شکل ۱۳ـ۵ استخراج کنید.

پاسخ: با توجه به اینکه دو خانه پایین صفر است، از آن صرف‌نظر می‌کنیم. در دو خانه بالا متغیر $\overline{B}$ مشترک است. بنابراین $\overline{B}$ پاسخ مسئله است. زیرا دو خانه مجاور را می‌توان با یک متغیر مشترک $\overline{B}$ نوشت:

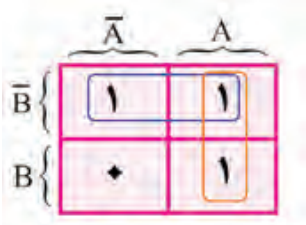
$$F = \overline{A}\,\overline{B} + \overline{B}A \qquad F = \overline{B}(\overline{A} + A) \qquad F = \overline{B}$$



شکل ۱۱ـ۵ شکل ۱۲ـ۵ شکل ۱۳ـ۵

مثال ۲۸: ساده‌ترین عبارت منطقی ممکن را از نقشه کارنو شکل ۱۴ـ۵ استخراج کنید.

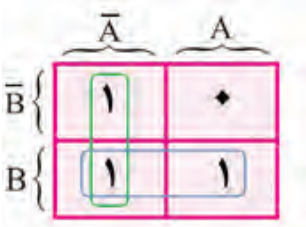
پاسخ: متغیرهای غیرمشترک را که پاسخ مسئله است پیدا می‌کنیم. $F=\overline{B}+A$



شکل ۱۴ـ۵

مثال ۲۹: تابع $F=\overline{A}B+AB+\overline{A}$ رادر نقشه کارنو نشان دهید سپس ساده‌ترین شکل تابع را استخراج کنید.

پاسخ: الف) جدول کارنو را طبق شکل ۱۵ـ۵ رسم می‌کنیم.



شکل ۱۵ـ۵

ب)متغیرهای مشترک را از جدول پیدا می‌کنیم. مجموعه‌این متغیرها پاسخ مسئله است. $F=\overline{A}+B$

فعلیت

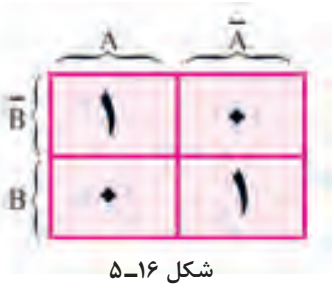
الف)تابع منطقی Y مربوط به جدول درستی ۱۳ـ۵ را بنویسید.

ب)تابع را در نقشه کارنو نمایش دهید. سپس ساده‌ترین شکل تابع Y را بنویسید.

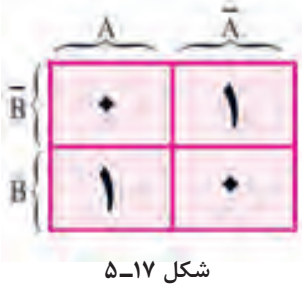
خروجی	ورودی	
Y	C	B
۱	۰	۰
۱	۱	۰
۰	۰	۱
۱	۱	۱

فکر کنید

تابع منطقی نقشه کارنو شکل ۱۶ـ۵ و ۱۷ـ ۵ را بنویسید. آیا مربع‌ها مجاور هستند (عضو مشترک دارند)؟ تابع هر نقشه کارنو معادل چه گیتی است؟



شکل ۱۶ـ۵

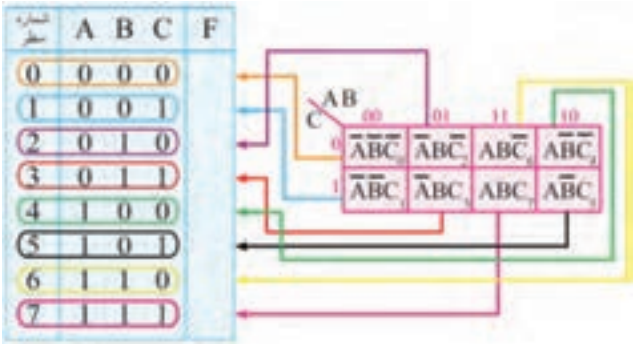


شکل ۱۷ـ۵

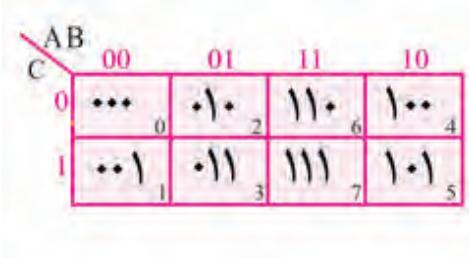
۷ـ۵ نقشه کارنو با سه متغیر

با توجه به وجود سه متغیر A، B و C، تعداد مین ترم‌ها طبق شکل ۱۸ـ۵ برابر $۸=۲^۳$ است. لذا نقشه کارنو باید ۸ خانه داشته باشد. هرخانه معرف یک ردیف از جدول درستی است. در شکل ۱۹ـ۵ نقشه کارنو را برای سه متغیر نشان داده‌ایم.

مشاهده می‌شود که به هر متغیر یا نفی آن ۴ خانه تعلق می‌گیرد. اشتراک دو متغیر (مثلاً A. B، A. C یا $B\overline{C}$) در دو خانه و اشتراک سه متغیر (مثلاً ABC) در یک خانه اتفاق می‌افتد. در شکل ۱۸ـ۵ جای مین‌ترم‌های هر ردیف جدول درستی را در نقشه کارنو مشاهده می‌کنید. هر مین‌ترم را می‌توانیم با عدد باینری معادل ردیف آن جایگزین کنیم. مثلاً $A\overline{B}C=101$ یا $\overline{A}\overline{B}\overline{C}=000$ را در نقشه کارنو نشان می‌دهیم. در شکل ۱۹ـ۵ هرخانه نقشه کارنو با عدد باینری معادل نشان داده شده است. همان‌طور که ملاحظه می‌شود، دراین جدول لازم است $\overline{A}$، B و $\overline{C}$ ها را مشخص کنیم. ولی معمولاً برای جلوگیری از شلوغی نقشه، آن را روی نقشه کارنو نمی‌نویسند.



شکل ۱۸ـ۵



شکل ۱۹ـ۵

بحث کنید

درباره چگونگی تشکیل نقشه کارنو با سه متغیر بحث کنید و فرایند اجرای آن را دقیقاً بیاموزید و به خاطر بسپارید.

■ **نمایش تابع در نقشه کارنو:** اگر جدول درستی توابع با سه متغیر موجود باشد، در ردیفی که مین‌ترم تابع ۱ است، در خانه مربوطه ۱ منطقی را قرار می‌دهیم.

مثال ۳۰: جدول درستی ۱۴ـ۵ را در نقشه کارنو نمایش دهید.

پاسخ: شکل ۲۰ـ۵

اگر تابع منطقی را بخواهیم در نقشه کارنو نمایش دهیم، جای هر عبارت تابع را در نقشه ۱ قرار می‌دهیم. باید توجه نمود برای اشتراک دو متغیر (مثلاً A.C) در دوخانه ۱ قرار داده می‌شود.

مثال۳۱: تابع $F=\overline{A}BC+AB\overline{C}+AC$ را در نقشه کارنو نمایش دهید.

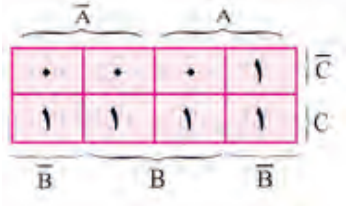
پاسخ: با استفاده از روش‌های ذکر شده جدول کارنو با ۸ خانه را تشکیل می‌دهیم، شکل ۲۱ـ۵.

جدول ۱۴ـ۵

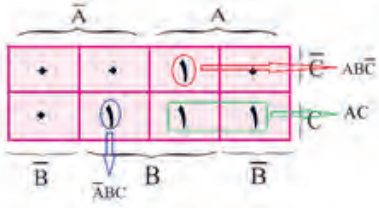
A	B	C	F
۰	۰	۰	۰
۰	۰	۱	۱
۰	۱	۰	۰
۰	۱	۱	۱
۱	۰	۰	۱
۱	۰	۱	۱
۱	۱	۰	۰
۱	۱	۱	۱

مثال ۳۲: تابع $F = A + BC + \overline{A}\,\overline{C}$ را در نقشه کارنو نمایش دهید.

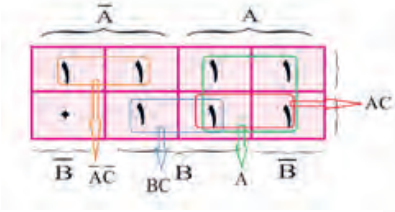
پاسخ: با استفاده از روش‌های ذکر شده نقشه کارنو را تشکیل می‌دهیم. شکل ۲۲ـ۵. باید توجه نمود که برای یک متغیر تنها مثلاً A، باید در ۴ خانه ۱ قرار دهیم.



شکل ۲۰ـ۵ـ نقشه کارنو جدول ۱۴ـ۵



شکل ۲۱ـ۵

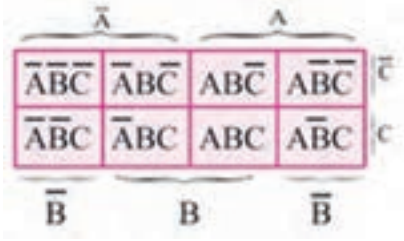


شکل ۲۲ـ۵

فعالیت

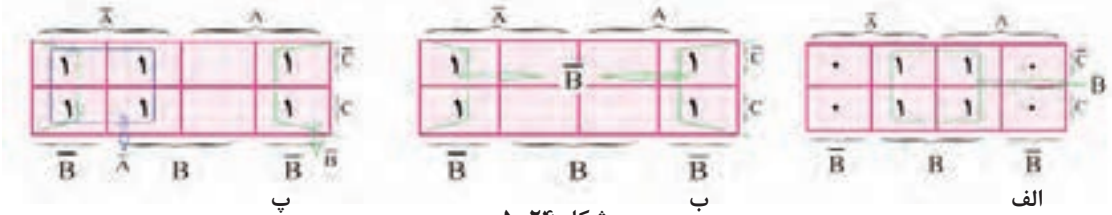
تابع $F = \overline{A}\,\overline{B}\,\overline{C} + A\overline{B} + \overline{B}C$ را در نقشه کارنو نمایش دهید.

■ **استخراج ساده‌ترین فرم تابع منطقی از نقشه کارنو با سه متغیر:** اگر به مین‌ترم‌های موجود در نقشه کارنو شکل ۲۳ـ۵ توجه کنید، مین‌ترم‌های خانه‌های کنار هم و مین‌ترم‌های با دو خانه فاصله، فقط یک اختلاف با هم دارند و می‌توان به راحتی عمل ساده‌سازی را انجام داد. مین ترم‌هایی که یک خانه با هم فاصله دارند (اصطلاحاً خانه‌های یک در میان) و مین ترم‌های واقع در خانه‌های قطری، دارای دو اختلاف هستند و با هم نمی‌توان انتخاب و ساده نمود. در فرایند ساده‌سازی، پس از نمایش تابع منطقی در نقشه کارنو با توجه به نکات زیر می‌توان ساده‌ترین فرم منطقی تابع را نوشت.



شکل ۲۳ـ۵

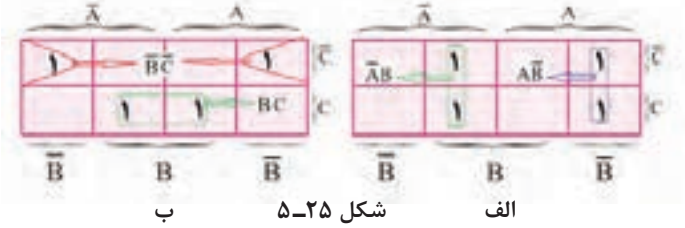
چهارخانه مجاور: چهارخانه مجاور را می‌توان با یک متغیر نشان داد. نمونه‌هایی را در شکل ۲۴ـ۵ مشاهده می‌کنید.



الف ب پ

شکل ۲۴ـ۵

دو خانه مجاور: دو خانه مجاور را می‌توان با اشتراک(AND) بین دو متغیر نشان داد، شکل ۲۵ـ۵ـالف، ب نمونه‌هایی ازاین مثال را نشان می‌دهد.



الف ب

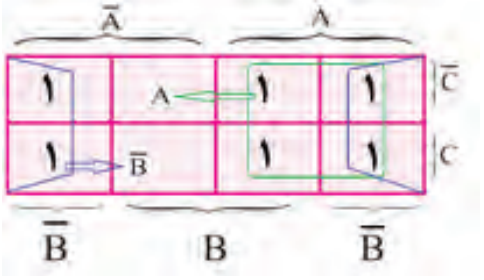
شکل ۲۵ـ۵

شکل ۲۶ـ۵

خانه‌هایی که دارای ۱ منطقی است و خانه همسایه ندارد، به‌صورت مین‌ترم با سه متغیر نوشته می‌شود و ساده‌پذیر نیست. شکل ۲۶ـ۵ نمونه‌ای از این نقشه کارنو را نشان می‌دهد.

مثال ۳۳: تابع $F = \bar{A}\bar{B}\bar{C} + AB + \bar{B}C + A\bar{B}\bar{C}$ را در نقشه کارنو نمایش دهید و ساده‌ترین فرم تابع را از آن استخراج کنید، شکل ۲۷ـ۵.

پاسخ: $F = A + \bar{B}$



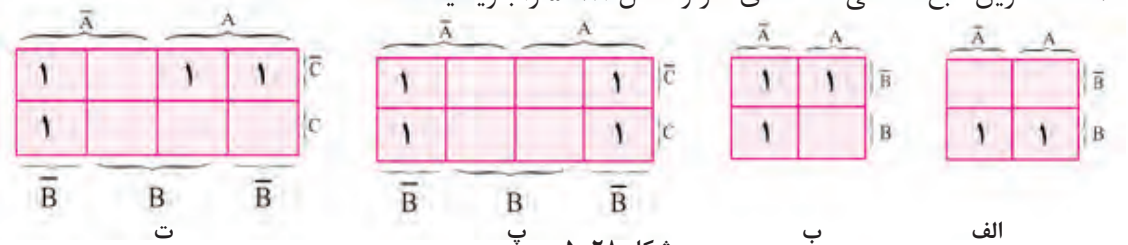
شکل ۲۷ـ۵

نکته

خانه‌های غیر مجاور را با مین‌ترم‌های سه متغیر می‌نویسند.

الگوی پرسش

۱ـ ساده‌ترین تابع منطقی نقشه‌های کارنو شکل ۲۸ـ۵ را بنویسید.



الف ب پ ت

شکل ۲۸ـ۵

۲ـ توابع منطقی زیر را با استفاده از نقشه کارنو ساده کنید.

$F_1 = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + ABC + A\bar{B}C$

$F_2 = \bar{A}\bar{B} + A\bar{B} + \bar{A}BC + AB\bar{C} + ABC$

$F_3 = \bar{A}\bar{B} + \bar{A}B + A\bar{B}$

$F_4 = \bar{A}B + AB + A\bar{B}$

الگوی آزمون نظری پایان واحد یادگیری

۱ـ جدول درستی گیت NOR انحصاری را بنویسید.

۲ـ گیت OR انحصاری (XOR) دو ورودی و یک خروجی دارد و خروجی زمانی در تراز «۱» منطقی قرار می‌گیرد که ورودی‌های گیت با هم در یک تراز نباشند.

صحیح ☐ غلط ☐

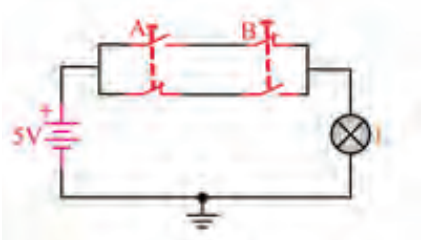
۳ـ مدار کلیدی شکل ۲۹ـ۵ مربوط به کدام گیت است؟

الف) NAND

ب) NOR

پ) XOR

ت) XNOR



شکل ۲۹ـ۵

۴ـ تابع منطقی $F_1 = \overline{A+B} + A\overline{B} + AC$ را توسط قوانین جبر بول ساده کنید.

۵ـ تابع منطقی $F_2 = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}C + ABC + A\overline{B}$ را توسط قوانین جبر بول ساده کنید.

۶ـ تابع منطقی F مربوط به جدول درستی ۱۵ـ۵ را به‌صورت مجموع مین‌ترم‌ها بنویسید.

۷ـ تابع منطقی $F = \overline{A}\,\overline{B} + A\overline{B} + AB$ را در نقشه کارنو نمایش دهید. سپس ساده‌ترین تابع را از نقشه کارنو استخراج کنید.

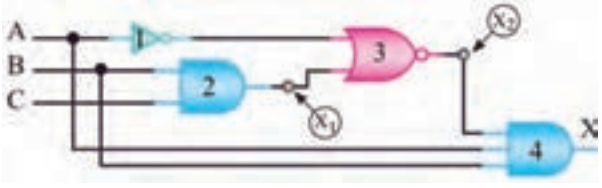
۸ـ تابع منطقی $F = \overline{A}\,\overline{B} + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\,\overline{C} + A\overline{B}C$ را توسط نقشه کارنو ساده کنید. سپس از روی تابع ساده‌شده، مدار را با گیت‌های منطقی طرح کنید.

۹ـ در شکل ۳۰ـ۵ تراز منطقی خروجی X_1، X_2 و X را بنویسید. $A = ۰$، $B = ۰$ و $C = ۱$ است

۱۰ـ ساده‌ترین تابع منطقی نقشه کارنو شکل ۳۱ـ۵ را بنویسید.

جدول ۱۵ـ۵

A	B	C	F
۰	۰	۰	۰
۰	۰	۱	۱
۰	۱	۰	۰
۰	۱	۱	۱
۱	۰	۰	۱
۱	۰	۱	۱
۱	۱	۰	۰
۱	۱	۱	۱



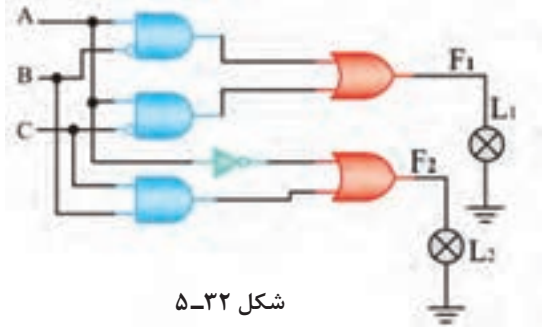
شکل ۳۰ـ۵

شکل ۳۱ـ۵

الگوی آزمون نرم‌افزاری پایان واحد یادگیری

۱ـ مدار شکل ۳۲ـ۵ را در نرم‌افزار مولتی‌سیم شبیه‌سازی کنید و با تغییر مقادیر A، B و C، تراز خروجی F_1 و F_2 را تعیین کنید. سپس جدول درستی مدار را رسم کنید.

۲ـ تابع منطقی $F = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\,\overline{C} + A\overline{B}C + \overline{A}B\overline{C}$ را توسط Logic Converter ساده کنید و از روی تابع ساده شده مدار آن را ترسیم کنید.



شکل ۳۲ـ۵

توجه به روش و محتوای ارزشیابی: ارزشیابی شایستگی‌های مربوط به پودمان، واحد یادگیری و مراحل کار بر اساس محتوای ارائه شده در کتاب درسی و مشابه مثال‌ها و فعالیت‌های ارائه شده صورت می‌گیرد. ضرورت دارد ارزشیابی‌کنندگان به‌این امر توجه کرده و ارزشیابی را بر مبنای اهداف تعریف شده برای شایستگی‌ها اجرا نمایند و فراتر نروند.

ارزشیابی واحد یادگیری ۵: کسب شایستگی در به‌کارگیری قوانین جبر بول و نقشه کارنو

شرح کار:
۱ـ تشریح عملکرد گیت‌های منطقی پایه و ترسیم جدول درستی آنها ۲ـ تشریح قوانین جبر بول ۳ـ ساده‌سازی توابع منطقی با به‌کارگیری قوانین جبر بول ۴ـ ساده‌سازی توابع منطقی با به‌کارگیری نقشه کارنو ۵ـ ساده‌سازی توابع منطقی با استفاده از نرم‌افزار

استاندارد عملکرد: طراحی مدارهای ترکیبی و اجرای توابع و طراحی مدارهای ترتیبی با رعایت استانداردهای تعریف‌شده

شاخص‌ها:
۱ـ تشریح عملکرد گیت‌های منطقی پایه و ترسیم جدول درستی آنها (۱۰ دقیقه) ۲ـ تشریح قوانین جبر بول (۱۰دقیقه) ۳ـ ساده‌سازی توابع منطقی با به‌کارگیری قوانین جبر بول (۱۵ دقیقه) ۴ـ ساده‌سازی توابع منطقی با به‌کارگیری نقشه کارنو (۱۵ دقیقه) ۵ـ ساده‌سازی توابع منطقی با استفاده از نرم‌افزار (۱۵ دقیقه)

شرایط انجام کار و ابزار و تجهیزات: مکان مناسب انجام کارـ کلاس یا کارگاه، سایت مجهز به رایانه ـ با کف عایق یا آنتی‌استاتیک ـ نور مناسب برای کارهای ظریف ـ ابعاد حداقل ۶ مترمربع و دارای تهویه یا پنجره ـ دمای طبیعی (۱۸°C ـ ۲۷°C) ـ انجام کار در حال نشسته یا ایستاده ـ رایانه ـ لوازم‌التحریر

معیار شایستگی:

ردیف	مراحل کار	حداقل نمره قبولی از ۳	نمره هنرجو
۱	تشریح عملکرد گیت‌های منطقی پایه و ترسیم جدول درستی آنها	۱	
۲	تشریح قوانین جبر بول	۲	
۳	ساده‌سازی توابع منطقی با به‌کارگیری قوانین جبر بول	۲	
۴	ساده‌سازی توابع منطقی با به‌کارگیری نقشه کارنو	۲	
۵	ساده‌سازی توابع منطقی با استفاده از نرم‌افزار	۲	
	شایستگی‌های غیرفنی،ایمنی، بهداشت، توجهات زیست‌محیطی و نگرش: ۱ـ محافظت از تجهیزات و دستگاه‌ها ۲ـ دقت و مسئولیت‌پذیری ۳ـ شایستگی تفکر و یادگیری مادام‌العمر ۴ـ اخلاق حرفه‌ای ۵ـ رعایت نکات زیست‌محیطی۶ـ به‌کارگیری فناوری نوین ۷ـ مستندسازی	۲	
	میانگین نمرات		*

* حداقل میانگین نمرات هنرجو برای قبولی و کسب شایستگی، ۲ می‌باشد.

واحد یادگیری ۶

کسب شایستگی در طراحی مدارهای دیجیتالی و اجرای توابع آن

آیا تا به‌حال فکر کرده‌اید:

- چه اصولی را برای طراحی مدارهای ترکیبی باید به‌کار ببریم؟
- چگونه با مدارهای رمزگشا توابع منطقی قابل اجرا می‌شود؟
- چگونه با مدارهای مالتی‌پلکسر می‌توانیم توابع منطقی را اجرا کنیم؟
- به‌کارگیری رمزگشا و مالتی‌پلکسر در اجرای توابع چه مزایایی دارد؟
- در ساختمان حافظه‌ها از چه مدارهای دیجیتالی استفاده می‌شود؟
- اطلاعات به چه روش‌هایی به حافظه‌ها انتقال می‌یابند؟
- در ساختمان شمارنده‌ها از چه مدارهای دیجیتالی استفاده شده است؟

در ساختار سامانه‌های دیجیتالی ممکن است از مدارهای ترکیبی که شامل متغیرهای ورودی، دروازه‌های منطقی و متغیرهای خروجی است، استفاده شود. طراحی مدارهای ترکیبی با تعریف یک مسئله شروع می‌شود و با دیاگرام منطقی مدار و مجموعه‌ای از توابع منطقی و روش‌های ساده‌سازی توابع پایان می‌یابد. روند طراحی مدارهای ترکیبی از اصول خاصی پیروی می‌کند، که دراین واحد یادگیری به آموزش آن می‌پردازیم. سپس توسط دکُدر و مالتی‌پلکسر، چگونگی اجرای توابع منطقی را شرح می‌دهیم.

چون اغلب سامانه‌های دیجیتالی مانند ماشین‌های حسابگر، سیستم‌های حفاظتی و مخابراتی باید اطلاعات را در حافظه خود نگه دارند، لازم است ساختمان حافظه‌ها و انواع آنها به اختصار تشریح شود و مدارهای شمارنده نیز مورد بررسی قرار گیرد. برای کسب مهارت و عمق بخشیدن به آموزش، استفاده از نرم‌افزارهای مناسب و شبیه‌سازی مدارها با نرم‌افزار الزامی است و باید به آن توجه ویژه شود.

استاندارد عملکرد

طراحی مدارهای ترکیبی و ترتیبی دیجیتالی و اجرای توابع آن

۱ـ۶ـ طراحی مدارهای ترکیبی

در طراحی و ساخت مدارهای منطقی باید از مدار ساده شده با کمترین قطعات استفاده کنیم. در پایه دهم در درس مونتاژ و دمونتاژ SMD و مستندسازی، اصول طراحی مدارهای ترکیبی آموزش داده شده است. برای یادآوری به مثال زیر توجه کنید.

مثال ۱: در یک مدار ترکیبی با سه متغیر ورودی و یک خروجی مطابق بلوک شکل ۱ـ۶، زمانی خروجی مدار «۱»است که تعداد یک‌های موجود در متغیرهای ورودی در هر ردیف در مقایسه با صفر، در اکثریت باشد. مدار را طراحی کنید.

پاسخ

- جدول درستی مدار را طرح می‌کنیم، جدول ۱ـ۶.

■ تابع منطقی خروجی را می‌نویسیم. $Z=\overline{A}BC+A\overline{B}C+AB\overline{C}+ABC$

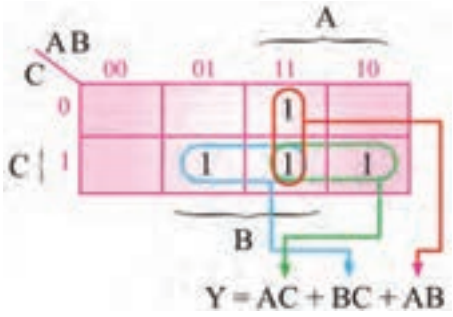
■ تابع را به هر روش ممکن، مثلاً با استفاده از نقشه کارنو ساده می‌کنیم، شکل ۲ـ۶.

■ ساده‌ترین رابطه منطقی را از جدول کارنو استخراج می‌کنیم.

جدول ۱ـ۶

A	B	C	Z
۰	۰	۰	۰
۰	۰	۱	۱
۰	۱	۰	۰
۰	۱	۱	۱
۱	۰	۰	۰
۱	۰	۱	۱
۱	۱	۰	۱
۱	۱	۱	۱

شکل ۱ـ۶ـ بلوک مدار

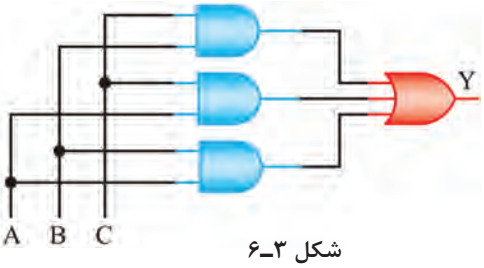


شکل ۲ـ۶

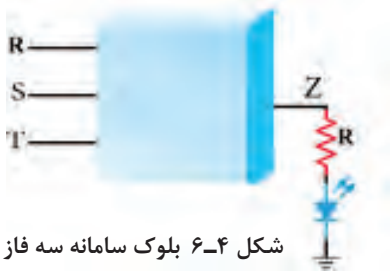
■ مدار را طرح می‌کنیم. در شکل ۳ـ۶ مدار طراحی شده مربوط به مثال ۱ را نشان داده‌ایم.

فعالیت

برای یک سامانه سه فاز، مداری طراحی کنید که وقتی یک فاز یا دو فاز ورودی قطع می‌شود، خروجی مدار دیجیتالی برابر با «۱»، و لامپ سیگنال خطا روشن شود. در شکل ۴ـ۶ بلوک سامانه را نشان داده‌ایم.



شکل ۳ـ۶



شکل ۴ـ۶ بلوک سامانه سه فاز

۲ـ۶ـ طراحی مدار ترکیبی با دُکدر (رمزگشا Decoder)

با مدار رمزگشا (Decoder) در پایه یازدهم آشنا شده‌اید.این مدار n خط در ورودی و 2^n خط در خروجی دارد و در هر لحظه تنها یکی از خروجی‌ها فعال است. در شکل ۵ـ۶ مدار رمزگشای ۴←۲ رسم شده است. دراین مدار، تعداد ورودی‌ها برابر $n = 2$ و تعداد خروجی‌ها برابر $2^n = 4$ است.

بحث گروهی

در مورد عملکرد مدار رمزگشای ۴←۲ بحث کنید. سپس جدول درستی ۲ـ۶ را کامل کنید.

فعالیت

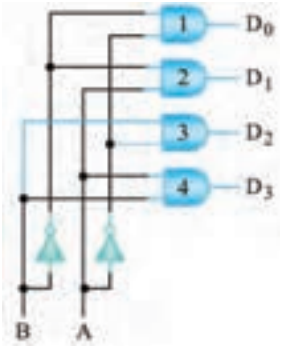
اگر در شکل ۵ـ۶ به جای گیت AND از گیت NAND استفاده شود، حالت فعال خروجی چه تغییری می‌کند؟ جدول درستی ۳ـ۶ را برای این حالت کامل کنید.

جدول ۲ـ۶

B	A	D_0	D_1	D_2	D_3
۰	۰				
۰	۱				
۱	۰				
۱	۱				

جدول ۳ـ۶

B	A	D_0	D_1	D_2	D_3
۰	۰				
۰	۱				
۱	۰				
۱	۱				



شکل ۵ـ۶ـ مدار رمزگشای ۴ → ۲

■ **رمزگشای ۴→۲ با خط تواناساز یا فعال کننده (Enable):** در شکل ۶ـ۶ مدار رمزگشای **۴→۲** با خط تواناساز (Enable) رسم شده است.

فعالیت

■ جدول ۴ـ۶ را با توجه به شکل ۶ـ۶ کامل کنید.

■ مدار رمزگشای **۸→۳** با خط توانا ساز را با استفاده از گیت NAND طراحی کنید و جدول درستی آن را بنویسید.

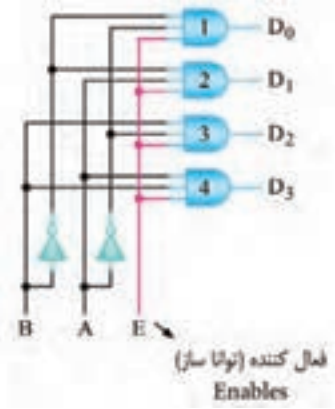
معرفی یک نمونه آی‌سی دکُدر: آی‌سی ۷۴۱۳۸، دکدر **۸→۳** با دو خط تواناساز است. در شکل ۷ـ۶ پایه‌های این آی‌سی را مشاهده می‌کنید.

پژوهش

با مراجعه به منابع معتبر، در مورد تحلیل مدار داخلی آی‌سی ۷۴۱۳۸ و چگونگی تنظیم جدول درستی آن تحقیق کنید. نتیجه را در قالب یک گزارش ارائه دهید.

جدول ۴ـ۶ـ جدول صحت مدار رمزگشای ۴ → ۲ با خط تواناساز

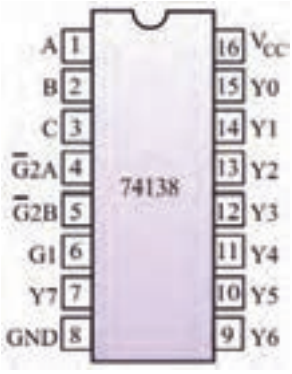
E	B	A	D_0	D_1	D_2	D_3
۰	X	X				
۱	۰	۰				
۱	۰	۱				
۱	۱	۰				
۱	۱	۱				



شکل ۶ـ۶ـ مدار رمزگشای ۴→۲ با خط تواناساز (Enable)

اجرای توابع با رمزگشا: برای اجرای توابع منطقی می‌توانیم از رمزگشا استفاده کنیم. برای‌این منظور ابتدا باید هر یک از متغیرها را به ورودی آدرس تعریف شده و هم ارز با آن (متناظر) وصل کنیم. سپس همه خروجی‌های رمزگشا که تعریف شده و هم ارزش با حالت‌های «۱» تابع است را به ورودی یک دروازه OR اتصال دهیم.

مثال ۲: با توجه به جدول ۵ـ۶، توابع منطقی F_1 و F_2 را به کمک یک رمزگشای ۸ ← ۳ اجرا کنید.



شکل ۷ـ۶ـ مشخصات پایه‌های آی‌سی ۷۴۱۳۸

پاسخ:

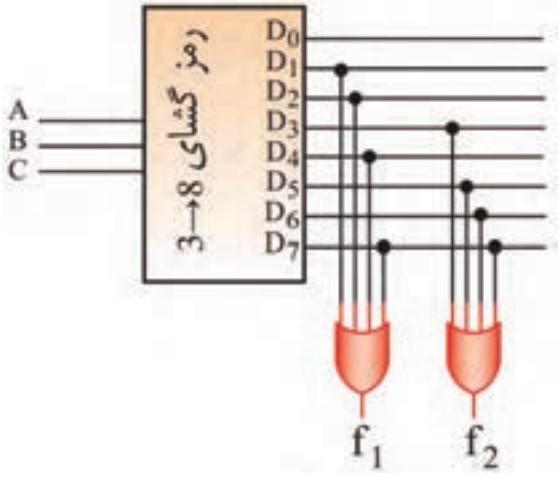
- F_1 مجموع مین ترم‌های ردیف‌های (۱,۲,۴,۷) است ($F_1 = \sum_m(1,2,4,7)$).
- F_2 مجموع مین ترم‌های ردیف‌های (۳, ۵, ۶,۷) است ($F_1 = \sum_m(3,5,6,7)$).
- برای اجرای هر یک از توابع، مطابق شکل ۸ـ۶، از دروازه منطقی OR با چهار ورودی استفاده می‌کنیم.

گفت و گو کنید

اگر رمزگشا با دروازه منطقی NAND ساخته شده باشد، در مدار شکل ۸ـ۶ چه تغییری باید بدهیم؟ پس از گفت‌وگو، نتایج را در قالب گزارش کوتاه یادداشت کنید.

جدول ۵ـ۶

f_2	f_1	A	B	C	معادل دسی‌مال
۰	۰	۰	۰	۰	۰
۰	۱	۱	۰	۰	۱
۰	۱	۰	۱	۰	۲
۱	۰	۱	۱	۰	۳
۰	۱	۰	۰	۱	۴
۱	۰	۱	۰	۱	۵
۱	۰	۰	۱	۱	۶
۱	۱	۱	۱	۱	۷



شکل ۸ـ۶

طراحی تمام جمع‌گر (Full Adder) با رمزگشا

□ با مدار نیم جمع‌گر (Half Adder) در پایه یازدهم آشنا شده‌اید. در شکل ۹ـ۶، نقشه بلوکی تمام جمع‌گر نشان داده شده است.

□ این مدار سه بیت باینری ورودی A، B و C_{in} را با هم جمع می‌کند و در خروجی، حاصل‌جمع (S) و دو بر یک حاصل از جمع "۱" و "۱" (C_{out}) را ظاهر می‌کند. در جدول ۶ـ۶، جدول درستی مدار تمام جمع‌گر را مشاهده می‌کنید.

شکل ۹ـ۶ مدار بلوکی تمام جمع‌گر

جدول ۶ـ۶ جدول صحت جمع‌کننده

S	C_{OUT}	C_{in}	B	A	معادل دسی‌مال
۰	۰	۰	۰	۰	۰
۱	۰	۱	۰	۰	۱
۱	۰	۰	۱	۰	۲
۰	۱	۱	۱	۰	۳
۱	۰	۰	۰	۱	۴
۰	۱	۱	۰	۱	۵
۰	۱	۰	۱	۱	۶
۱	۱	۱	۱	۱	۷

بارش فکری

جدول ۶ـ۶ را در کلاس به بحث بگذارید و علت‌ایجاد شدن دو بر یک (C_{out}) را بیابید. نتیجه را در قالب یک گزارش کوتاه ارائه دهید.

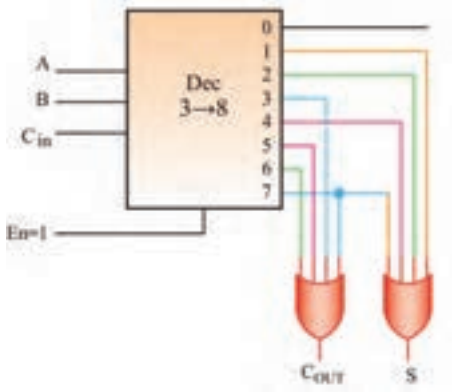
□ همان‌طور که در جدول ۶ـ۶ مشاهده می‌شود، خروجی S در سطرهای ۱، ۲، ۴ و ۷ و خروجی C_{out} در سطرهای ۳، ۵، ۶ و۷ برابر با یک شده است. تابع خروجی S و C_{out} را می‌توانیم به‌صورت زیر تعریف کنیم.

$$C_{out} = \sum m(۳,۵,۶,۷) \qquad S = \sum m(۱,۲,۴,۷)$$

□ در تمام جمع‌گرها، تعداد۳ ورودی و ۲ خروجی وجود دارد. به همین خاطر، رمزگشایی را انتخاب می‌کنیم که تعداد ۳ ورودی داشته باشد. لذا این رمزگشا ۸ خروجی دارد (۸ = $۲^۳$).

□ طبق شکل ۱۰ـ۶ خروجی را بر اساس مین‌ترم‌ها با هم OR می‌کنیم تا مدار جمع‌کننده با استفاده از رمزگشا شکل بگیرد.

اجرای نرم‌افزاری: در ساعات غیر درسی مدار تمام جمع‌گر را با نرم‌افزار مولتی‌سیم طراحی کنید و جدول درستی آن را با جدول ۶ـ۶ مقایسه کنید.



شکل ۱۰ـ۶ـ مدار تمام جمع‌گر با رمزگشا

فعالیت

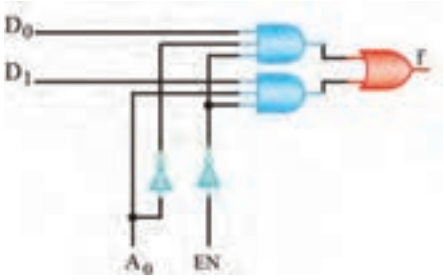
مثال ۱ و تمرین مربوط به سامانه سه فاز را با مدار رمزگشا طراحی کنید.

۳ـ۶ـ طراحی مدار ترکیبی با مالتی‌پلکسر (Multiplexer)

■ با مدار مالتی‌پلکسر در پایه یازدهم آشنا شده‌اید. در شکل ۱۱ـ۶ مدار مالتی‌پلکسر ۱←۲ (دو به یک) و جدول درستی آن را مشاهده می‌کنید. این مالتی‌پلکسر دارای خط توانا ساز (Enable) است.

جدول ۷ـ۶

A_0	EN	f
X	۱	۰
۰	۰	D_0
۱	۰	D_1



شکل ۱۱ـ۶ـ مدار مالتی پلکسر دو به یک

فعالیت

جدول درستی مالتی‌پلکسر ۱←۴ شکل ۱۲ـ۶ را تنظیم کنید.

برای آنکه اطلاعات D_2 به خروجی انتقال یابد، آدرس A_1A_0 را بنویسید.

معرفی آی‌سی مالتی‌پلکسر ۱ ← ۸: آی‌سی با شماره فنی ۷۴۱۵۱ یک مالتی‌پلکسر ۱ ← ۸ است. در شکل ۱۳ـ۶ نماد این آی‌سی و شماره پایه‌های آن را مشاهده می‌کنید.

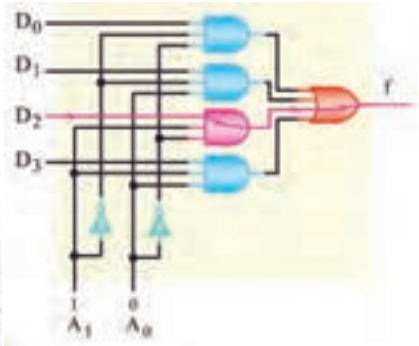
پژوهش

با مراجعه به منابع معتبر، در مورد مدار داخلی آی‌سی ۷۴۱۵۱ و جدول درستی آن تحقیق کنید. نتیجه را در قالب یک گزارش ارائه دهید.

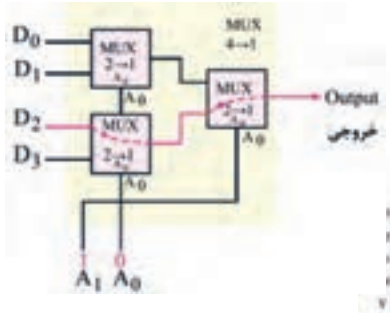
فعالیت

در بلوک دیاگرام شکل ۱۴ـ۶ مالتی‌پلکسر ۱ ← ۴ با استفاده از دو مالتی‌پلکسر ۱ ← ۲ نشان داده شده است. جدول درستی بلوک دیاگرام را بنویسید و عملکرد آن را مورد بررسی قرار دهید.

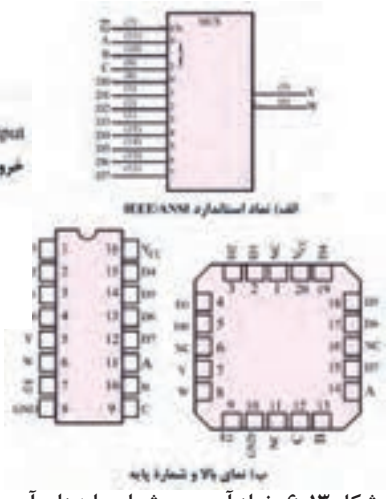
با توجه به توسعه ورودی‌های مالتی‌پلکسر در شکل ۱۴ـ۶، با استفاده از دو مالتی‌پلکسر ۱ ← ۴ و یک مالتی‌پلکسر ۱ ← ۲، یک مالتی‌پلکسر ۱ ← ۸ طراحی کنید و طرز کار مدار را مورد بررسی قرار دهید.



شکل ۱۲ـ۶ـ مدار مالتی‌پلکسر چهار به یک



شکل ۱۴ـ۶ـ مالتی‌پلکسر چهار به یک



شکل ۱۳ـ۶ـ نماد آی‌سی و شماره پایه‌های آن

■ اجرای توابع توسط مالتی‌پلکسر

یکی از کاربردهای مالتی‌پلکسر، اجرای توابع منطقی است. برای اجرای یک تابع منطقی با n متغیر، می‌توان از یک مالتی‌پلکسر با n خط آدرس استفاده کرد. معمولاً متغیرها را به پایه‌های آدرس تعریف شده و هم ارزش با آن وصل می‌کنند.

مثال ۳: تابع $F_1 = A\overline{B} + BC + A\overline{C}$ را با یک مالتی‌پلکسر ۱ ← ۸ اجرا کنید.

پاسخ:

■ تابع را به‌صورت استاندارد مین‌ترم می‌نویسیم. برای این منظور، می‌توانیم طبق جدول ۸ـ۶ جدول درستی تابع را تشکیل دهیم و مجموع مین‌ترم‌های تابع را به دست آوریم.

■ با توجه به خروجی‌های تابع، مجموع مین‌ترم‌ها از رابطه زیر به‌دست می‌آید.

$$F_1 = \sum_m (3,4,5,6,7)$$

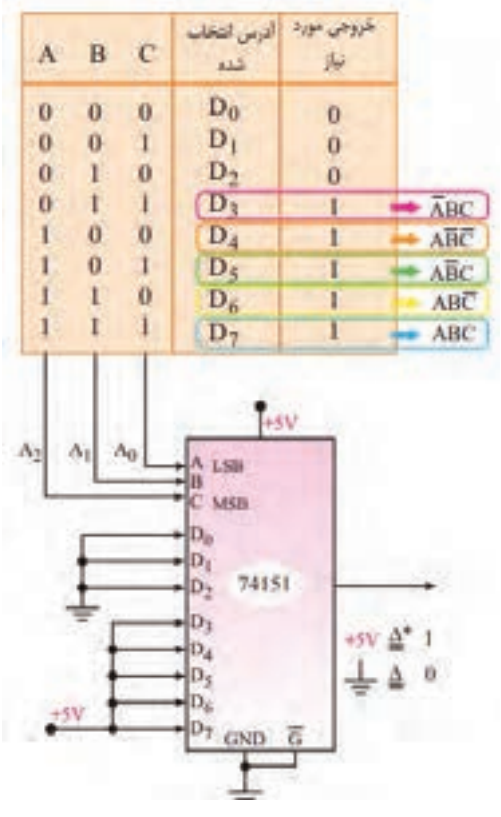
■ طبق شکل ۱۵ـ۶، ورودی‌های D_0، D_1 و D_2 را به زمین و ورودی‌های D_3 تا D_7 را به ۵ ولت وصل می‌کنیم.

فعالیت در ساعات غیر درسی

ابتدا مدار مثال ۳ را با نرم‌افزار مولتی سیم شبیه‌سازی کنید. سپس جدول درستی آن را با جدول ۸ـ۶ مقایسه کرده و صحت عملکرد مدار را تأیید نمایید.

جدول ۸ـ۶

A	B	C	$A\overline{B}$	BC	$A\overline{C}$	F
۰	۰	۰	۰	۰	۰	۰
۰	۰	۱	۰	۰	۰	۰
۰	۱	۰	۰	۰	۰	۰
۰	۱	۱	۰	۱	۰	۱
۱	۰	۰	۱	۰	۱	۱
۱	۰	۱	۱	۰	۰	۱
۱	۱	۰	۰	۰	۱	۱
۱	۱	۱	۰	۱	۰	۱



شکل ۱۵ـ۶

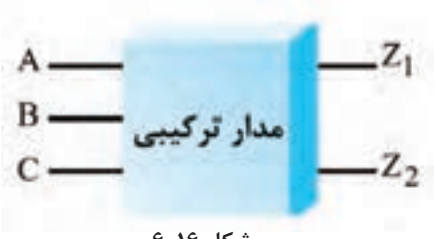
الگوی پرسش

۱ـ در مدار شکل ۶ـ۱۶ :

الف) خروجی Z_1 زمانی «۱» است که $C = ۰$، $A = B = ۱$ یا $B = ۰$، $A = C = ۱$ باشد.

ب) خروجی Z_2 زمانی «۱» است که $C = ۰$، $B = ۱$ و $A = ۰$ یا $C = ۱$، $B = ۰$ و $A = ۱$ باشد.

پ) در بقیه حالت‌ها Z_1 و Z_2 صفر هستند.



شکل ۶ـ۱۶

جدول ۶ـ۹

A	B	C	F
۰	۰	۰	۰
۰	۰	۱	۱
۰	۱	۰	۰
۰	۱	۱	۰
۱	۰	۰	۱
۱	۰	۱	۰
۱	۱	۰	۱
۱	۱	۱	۰

با توجه به بندهای الف، ب و پ جدول درستی مدار را رسم کنید. تابع منطقی Z_1 و Z_2 را بنویسید و مدار را طراحی کنید.

۲ـ تابع F مربوط به جدول درستی ۶ـ۹ را به کمک نرم‌افزار، به وسیله دکدر و مالتی‌پلکسر اجرا کنید.

۳ـ با استفاده از ۹ مالتی‌پلکسر ۱ ← ۸ می‌توان یک مالتی‌پلکسر ۱ ← ۶۴ طراحی کرد. صحیح ☐ غلط ☐

۴ـ تابع $F(A,B,C) = \sum_m(۰,۱,۴,۶)$ را در فضای نرم‌افزاری با یک مالتی‌پلکسر ۱←۸ اجرا کنید.

۶ـ۴ شرح عملکرد انواع حافظه

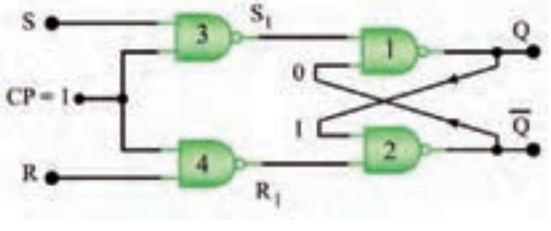
در مدارهای ترکیبی که تاکنون بحث شده است، خروجی مدار در هر لحظه تابع متغیرهای ورودی در زمان حاضر است. برخی سیستم‌های دیجیتالی از تعدادی مدار ترکیبی تشکیل می‌شوند. ولی بسیاری از سیستم‌های دیجیتالی، علاوه بر مدار ترکیبی، نیاز به مداری برای ذخیره اطلاعات به‌صورت بیت باینری (صفر و یک) دارند. ذخیره اطلاعات در فلیپ فلاپ‌ها صورت می‌گیرد. با فلیپ فلاپ‌ها در پایه یازدهم آشنا شده‌اید.

■ فلیپ فلاپ S_R

در شکل ۶ـ۱۷ مدار فلیپ فلاپ S_R ساعتی با گیت NAND را مشاهده می‌کنید.

جدول ۶ـ۱۰

Clock	S	R	Q
۰	۰	۰	
۰	۰	۱	
۰	۱	۰	
۰	۱	۱	
۱	۰	۰	
۱	۰	۱	
۱	۱	۰	
۱	۱	۱	



شکل ۶ـ۱۷ـ مدار فلیپ SR با گیت NAND

فعالیت

عملکرد مدار شکل ۶ـ۱۷ را مورد بررسی قرار دهید. سپس جدول درستی ۶ـ۱۰ را که مربوط به‌این مدار است، کامل کنید.

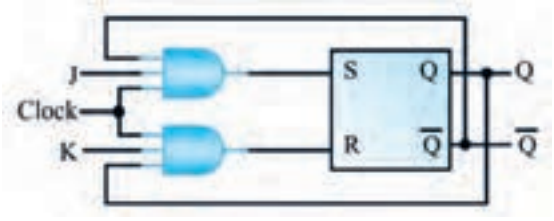
پژوهش

در مورد عیب فلیپ فلاپ‌های S_R ساعتی تحقیق کنید و نتیجه را به‌صورت یک گزارش ارائه دهید.

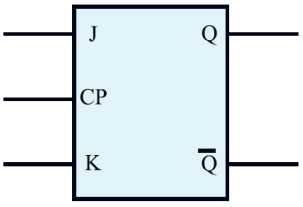
■ **فلیپ فلاپ J_K:** همان‌طور که قبلاً گفته شد، یکی از اجزای حافظه، فلیپ فلاپ‌ها هستند. در شکل ۶ـ۱۸ مدار بلوکی فلیپ فلاپ J_K رسم شده است.
نماد فلیپ فلاپ J_K را در شکل ۶ـ۱۹ ملاحظه می‌کنید.
جدول ۶ـ۱۱، جدول درستی فلیپ فلاپ J_K را نشان می‌دهد.

پژوهش

در مورد عیب فلیپ فلاپ J_K تحقیق کنید و نتیجه را در قالب یک گزارش ارائه دهید.



شکل ۶ـ۱۸ـ مدار فلیپ فلاپ J_K

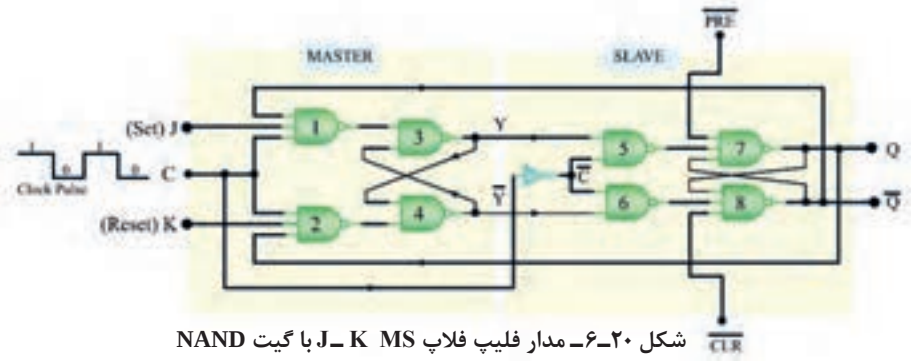


شکل ۶ـ۱۹ـ نماد فلیپ فلاپ J_K

جدول ۶ـ۱۱

J	K	CP	Q_t
0	0	↑	$Q_{(t-1)}$ حالت قبلی را حفظ می‌کند
0	1	↑	0 RESET
1	0	↑	1 SET
1	1	↑	$\overline{Q}_{(t-1)}$ حالت قبلی عکس می‌شود

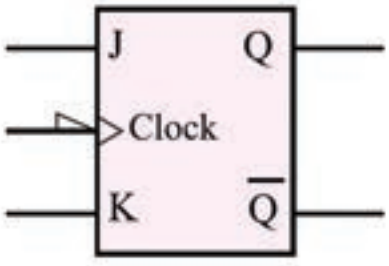
■ **فلیپ فلاپ J_K_MS (J_K Master Slave):**
در شکل ۶ـ۲۰ مدار فلیپ فلاپ J_K_MS با گیت NAND رسم شده است.این فلیپ فلاپ، از دو فلیپ فلاپ S_R مجزا و مشابه هم درست شده است که یکی مستر (اصلی ـ Master) و دیگری اسلیو (فرعی ـ Slave) نام دارد. جدول ۶ـ۱۲، جدول درستی‌این فلیپ فلاپ را نشان می‌دهد. نماد مداری فلیپ فلاپ را در شکل ۶ـ۲۱ ملاحظه‌می‌کنید.



شکل ۶ـ۲۰ـ مدار فلیپ فلاپ J_K MS با گیت NAND

جدول ۱۲ـ۶

J	K	$Q_{(t)}$
۰	۰	$Q_{(t-۱)}$
۰ ۱	۱ ۰	۰ ۱
۱	۱	$\overline{Q}_{(t-۱)}$



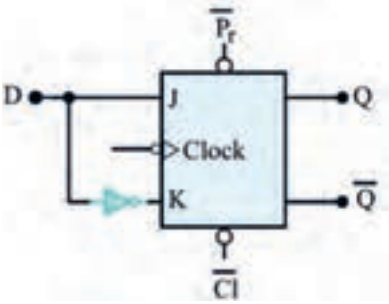
شکل ۲۱ـ۶ـ نماد J-K MS

■ **فلیپ فلاپ نوع D (تأخیری Delay)**:این فلیپ فلاپ یک ورودی دارد و به عنوان یک سلول ثبات (ثبت‌کننده) یک بیتی استفاده می‌شود. زیرا اطلاعات ورودی آن پس از هر پالس ساعت وارد حافظه فلیپ فلاپ می‌شود و تا پالس ساعت بعدی آن را حفظ می‌کند.

فلیپ فلاپ نوع D را می‌توان به کمک هر یک از انواع فلیپ فلاپ‌های S_R، J_K یا MS ـ J_K طراحی کرد. برای‌این منظور باید یک ورودی را نفی (NOT) کنیم و سپس آن را به ورودی دیگر اتصال دهیم. در شکل ۲۲ـ۶ فلیپ فلاپ D با استفاده از فلیپ فلاپ J_K را مشاهده می‌کنید. جدول درستی فلیپ فلاپ D مطابق جدول ۱۳ـ۶ است. در شکل ۲۳ـ۶ نماد فلیپ فلاپ D را ملاحظه می‌کنید.

جدول ۱۳ـ۶

CP	D	Q
↓	۰	۰
↓	۱	۱



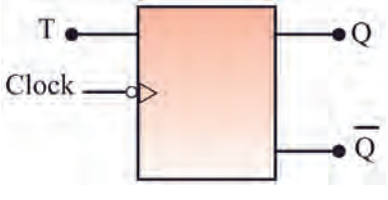
شکل ۲۳ـ۶ـ نماد فلیپ فلاپ D

شکل ۲۲ـ۶ـ مدار فلیپ فلاپ D

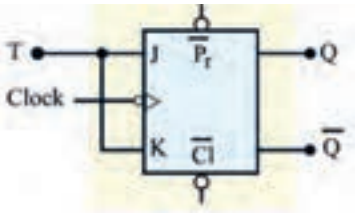
■ **فلیپ فلاپ نوع T (کلیدی یا Toggle)**: اگر دو ورودی فلیپ فلاپ J_K را به هم وصل کنیم و اتصال مشترک را Tبنامیم، فلیپ فلاپ جدیدی ساخته می‌شود که به آن فلیپ فلاپ نوع T یا کلیدی می‌گویند. در شکل ۲۴ـ۶ چگونگی تبدیل فلیپ فلاپ J_K به T را مشاهده می‌کنید. نماد فلیپ فلاپ T به‌صورت شکل ۲۵ـ۶ است. جدول درستی فلیپ فلاپ T را در جدول ۱۴ـ۶ مشاهده می‌کنید.

جدول ۱۴ـ۶

T	CP	Q_t
۰	↓	$Q_{(t-۱)}$
۱	↓	$\overline{Q}_{(t-۱)}$



شکل ۲۵ـ۶ـ نماد فلیپ فلاپ T



شکل ۲۴ـ۶ـ مدار فلیپ فلاپ T

پژوهش

در مورد عملکرد ورودی‌های پیش تنظیم (pre=preset) و پاک کردن (clr=clear) در فلیپ فلاپ‌ها تحقیق کنید و نتیجه را در قالب گزارش ارائه دهید.

■ **انواع حافظه و عملکرد آنها:** همان‌طور که قبلاً اشاره کردیم، از فلیپ فلاپ‌ها به عنوان ذخیره‌کننده یک بیت اطلاعات استفاده می‌شود. در یک سامانه ترکیبی مانند رایانه، حافظه‌های مختلف با عملکردهای گوناگون مورد نیاز است.

در ادامه به شرح مختصری از انواع حافظه‌ها با توجه به نوع وکاربرد آنها می‌پردازیم.

حافظه‌های قابل خواندن و نوشتن یا RWM(Read Write Memory)

نوعی حافظه رایانه که قابل خواندن و نوشتن است.

حافظه با دسترسی تصادفی یا RAM (Random Access Memory)

این حافظه با دسترسی تصادفی است. حافظه‌های RAM خود به دو دسته SRAM (رم استاتیک ـ Static RAM) و DRAM (رم دینامیک ـ Dynamic RAM) تقسیم‌بندی می‌شوند. SRAM قادر است چند کیلوبایت اطلاعات را در خود ذخیره کند. دسترسی به اطلاعات دراین نوع حافظه‌ها حدود ۱۰ نانوثانیه است. DRAM قادر است چند مگابایت اطلاعات را در خود ذخیره کند. زمان دسترسی به اطلاعات دراین نوع حافظه حدود ۱۰۰ نانوثانیه است. در رایانه‌هایی که به ظرفیت زیاد حافظه نیاز داریم، ازاین نوع حافظه استفاده می‌کنیم.

حافظه فقط خواندنی یا ROM (Read Only Memory)

محتوای‌این نوع حافظه فقط قابل خواندن است و اطلاعات در کارخانه سازنده در حافظه برنامه‌ریزی می‌شود و با قطع برق (تغذیه) اطلاعات آن پاک نمی‌شود. اطلاعات مربوط به بازی‌های کامپیوتری، راه‌اندازی کامپیوتر (Bootstart program) و قسمتی از اطلاعات سیستم عامل در آن ذخیره می‌شود.

اطلاعات ROM وارد حافظه اصلی رایانه(Main Memory) می‌شود.

نکته: اگر پس از قطع برق محتوای حافظه از بین برود، حافظه را متکی به ولتاژ (volatile) و اگر محتوا به‌طور دائم بماند، حافظه را مستقل از ولتاژ (Nonvolatile) گویند.

□ **انواع دیگر حافظه‌های ROM**

حافظه‌های نوع ROM در سه دسته PROM، EPROM و EEPROM توسعه یافته‌اند.

✓ **PROM (Programmable ROM)**

این حافظه به‌وسیله دستگاه مخصوص حافظه‌نویس (ROM Writer) فقط یک بار برنامه‌ریزی می‌شود.

✓ **EPROM (Erasable PROM)**

محتوای‌این حافظه را می‌توان به‌وسیله اشعه ماوراء بنفش پاک کرد و اطلاعات جدید در آن برنامه‌ریزی کرد.

✓ **EEPROM (Electrical EPROM)**

اطلاعات‌این نوع حافظه توسط سیگنال الکتریکی قابل پاک شدن است. بعد از پاک شدن حافظه می‌توان آن را دوباره برنامه‌ریزی کرد.

پژوهش

درباره ساختار و عملکرد انواع حافظه‌های زیر و موارد کاربرد آنها تحقیق کنید و نتیجه را در قالب یک گزارش ارائه دهید.

الف) حافظه‌های کمکی (Auxilary Memory) مانند هارد دیسک و سایر موارد
ب) حافظه‌های نهان (Cash Memory)
پ) حافظه لوح فشرده (CDROM)
ت) نوار مغناطیسی (Magnetic Tapes)
ث)دیسک نوری (Optical Disk)
ج) دیسک مغناطیسی (Magnetic Disk)
چ) دیسک الکترونیکی یا حافظه فلش (Flash Memory)

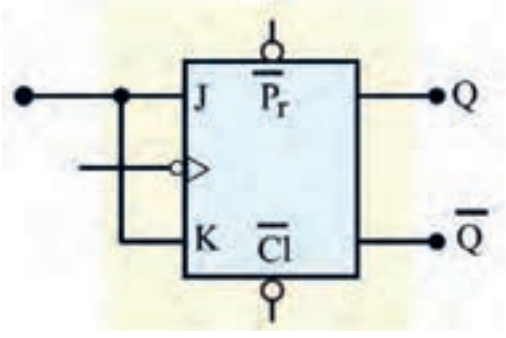
الگوی پرسش

۱ـ جدول درستی فلیپ فلاپ J_K را رسم کنید. در چه حالتی از ورودی، وضعیت حافظه تغییر می‌کند و برعکس حالت قبلی خود می‌شود؟

۲ـ برای ثبت n بیت اطلاعات به n واحد حافظه نیاز داریم. صحیح ☐ غلط ☐

۳ـ فلیپ فلاپ شکل ۲۶ـ۶ از کدام نوع است.
☐D ☐T

۴ـ در فلیپ فلاپ نوع T، در حالت T=۱ با هر پالس ساعت، وضعیت حافظه بر عکس حالت قبل می‌شود.
درست ☐ نادرست ☐



شکل ۲۶ـ۶

۵ـ۶ـ شیفت رجیسترها (Shift Registers)

یک ثبات یا رجیستر مجموعه‌ای از فلیپ فلاپ‌ها یا سلول‌های حافظه است که می‌تواند اطلاعات را به‌صورت بیت باینری در خود نگه دارد. با انواع شیفت رجیستر تا حدودی در پایه یازدهم آشنا شده‌اید.

در شکل ۲۷ـ۶ یک شیفت رجیستر ۸ بیتی را به‌صورت بلوکی مشاهده می‌کنید که در آن اطلاعات ۱۰۰۱۰۱۱۰ ذخیره شده است.

در شکل ۲۸ـ۶ شیفت رجیستر (ورودی سری ـ خروجی سری) نشان داده شده است. بیت‌های ورودی یکی پس از دیگری و به‌صورت سریال وارد اولین بیت فلیپ فلاپ می‌شوند و سپس از فلیپ‌فلاپ‌های بعدی عبور می‌کنند.

در شکل ۲۹ـ۶ اطلاعات به‌صورت سری وارد شده و خروجی‌ها به‌صورت موازی (هم‌زمان) دریافت می‌شوند. به عبارت دیگر، اطلاعات ورودی به‌صورت سریال وارد مدار شده و خروجی‌ها به طور هم‌زمان و موازی دریافت می‌شود.

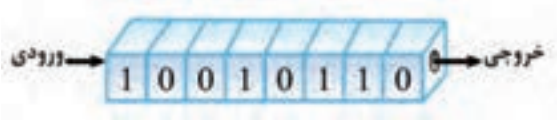
درشکل ۳۰ـ۶ اطلاعات به‌صورت موازی وارد شیفت رجیستر شده و به‌صورت سری در خروجی دریافت می‌شود.

اگر بخواهیم در یک شیفت رجیستر اطلاعات را به‌صورت موازی وارد کنیم و به‌صورت موازی نیز از آن

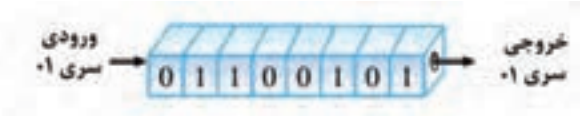
دریافت کنیم، باید از شیفت رجیستر شکل ۳۱ـ۶ استفاده کنیم.
در شکل‌های ۳۲ـ۶ و ۳۳ـ۶ ساختمان شیفت رجیسترهای (سری ـ سری) و (موازی ـ موازی) را که در آن از فلیپ‌فلاپ‌های نوع D استفاده شده است، ملاحظه می‌کنید.

فعالیت گروهی

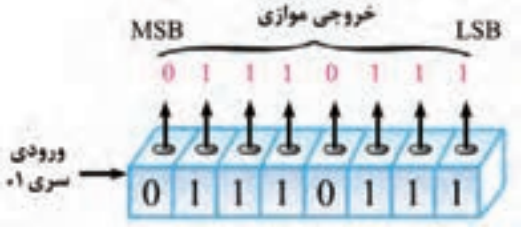
در مورد انواع عملکرد مدارهای شیفت رجیستر SISO(شکل ۳۲ـ۶) و PIPO(شکل ۳۳ـ۶) بحث و گفت و گو کنیدو نتایج را در قالب یک گزارش ارائه دهید.



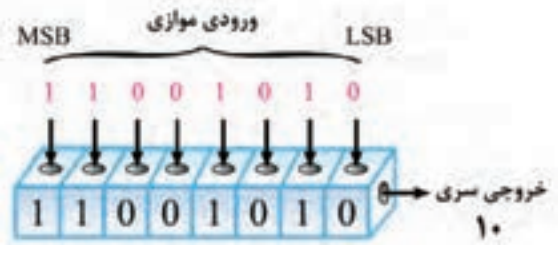
شکل ۲۷ـ۶ـ شیفت رجیستر ۸ بیتی



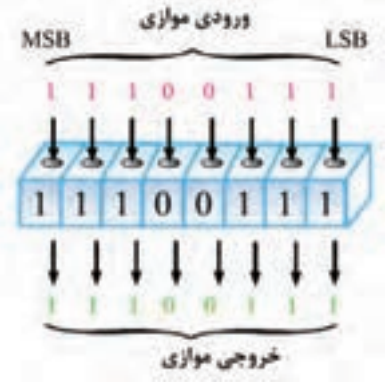
شکل ۲۸ـ۶ـ شیفت رجیستر SISO



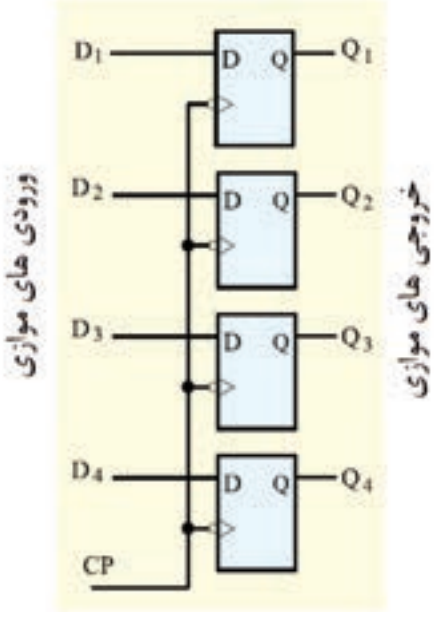
شکل ۲۹ـ۶ـ شیفت رجیستر SIPO



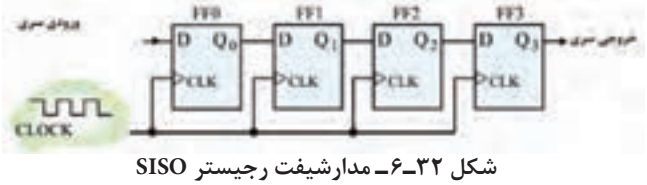
شکل ۳۰ـ۶ـ شیفت رجیستر PISO



شکل ۳۱ـ۶ـ شیفت رجیستر PIPO



شکل ۳۳ـ۶ـ مدارشیفت رجیستر PIPO



شکل ۳۲ـ۶ـ مدارشیفت رجیستر SISO

□ **شرح چگونگی انتقال اطلاعات به حافظه:** اطلاعاتی که باید در هرخانه حافظه نوشته شود را دیتا (Data) می‌نامند که در ثبات داده‌ها(دیتا رجیستر_Data Register_DR) ثبت می‌شود. دیتاها به‌صورت یک کلمه مثلاً ۸ بیتی است. دراین حالت دیتا رجیستر نیز باید هشت بیتی باشد.
هر کلمه در خانه‌ای از حافظه قرار می‌گیرد که دارای آدرس مشخصی است.این آدرس نیز در یک ثبات دیگری قرار دارد که به آن ثبات آدرس(AR_Address Register) می‌گویند. در شکل ۶_۳۴ بلوک واحد حافظه و در شکل ۶_۳۵ جزئیات بلوک واحد حافظه نشان داده شده است.

شکل ۶_۳۴_ بلوک واحد حافظه

شکل ۶_۳۵_ جزئیات آدرس‌ها و اطلاعات در حافظه

۶_۶_ شمارنده‌ها (Counters)

شمارنده‌ها مدارهایی هستند که از تعدادی فلیپ فلاپ متصل به هم به‌صورت سری، تشکیل شده‌اند. این مدارها عملاً تعداد پالس‌های ورودی به مدار را شمارش می‌کنند. شمارش پالس‌های ورودی ممکن است بر مبنای ۱۰ یا هر مبنای دیگر انجام شود. عنصر اصلی هر شمارنده فلیپ فلاپ است. یک شمارنده با n طبقه فلیپ فلاپ، حداکثر می‌تواند 2^n حالت تعریف شده داشته باشد.

■ **شمارنده آسنکرون**

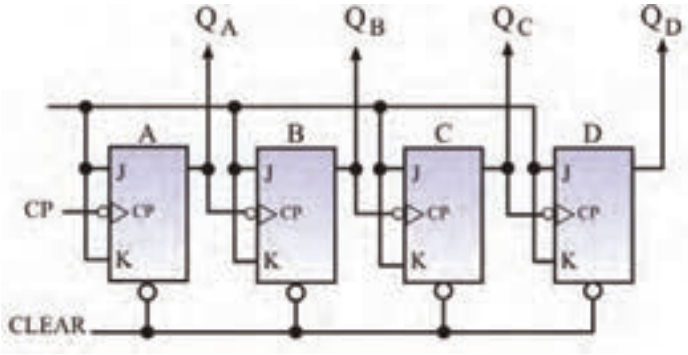
در شمارنده آسنکرون، پالس ساعت فلیپ فلاپ‌ها، به‌طور هم‌زمان به آنها داده نمی‌شود. هر طبقه پالس ساعت خود را از خروجی طبقه قبل خود دریافت می‌کند.
شمارنده آسنکرون به شمارنده ضربانی(Ripple Counter) نیز معروف است. فلیپ فلاپ به‌کار رفته دراین نوع شمارنده، از نوع T است و باید همواره T=۱ باشد.

شمارنده آسنکرون صعودی(UP_Counter)

این شمارنده قادر به شمارش منظم اعداد از کم به زیاد است. در شکل ۶_۳۶ یک شمارنده آسنکرون ۴ بیتی نشان داده شده است که در آن از ۴ فلیپ فلاپ J_K با عملکرد نوع T استفاده شده است. در جدول ۶_۱۵، تغییر وضعیت خروجی‌های Q_A, Q_B, Q_C, Q_D را نشان می‌دهد.این شمارنده اعداد ۰ تا ۱۵ را شمارش می‌کند و در انتهای پالس شانزدهم تمام خروجی‌ها مساوی صفر می‌شوند و شمارنده به حالت اولیه برمی‌گردد.

جدول ۱۵ـ۶

پالس ساعت	Q_D	Q_C	Q_B	Q_A
۰	۰	۰	۰	۰
۱	۰	۰	۰	۱
۲	۰	۰	۱	۰
۳	۰	۰	۱	۱
۴	۰	۱	۰	۰
۵	۰	۱	۰	۱
۶	۰	۱	۱	۰
۷	۰	۱	۱	۱
۸	۱	۰	۰	۰
۹	۱	۰	۰	۱
۱۰	۱	۰	۱	۰
۱۱	۱	۰	۱	۱
۱۲	۱	۱	۰	۰
۱۳	۱	۱	۰	۱
۱۴	۱	۱	۱	۰
۱۵	۱	۱	۱	۱



شکل ۳۶ـ۶ـ شمارنده آسنکرون صعودی

شمارنده آسنکرون نزولی (Down Counter)

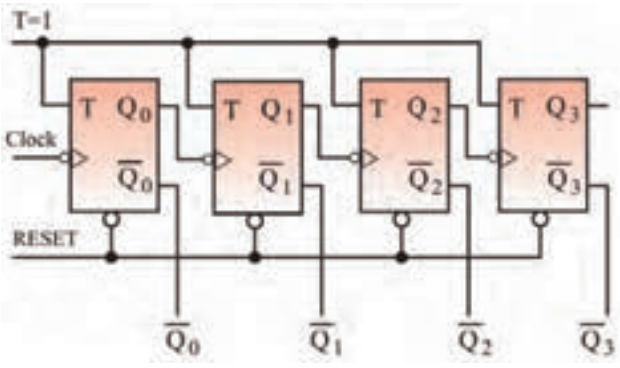
شمارنده آسنکرون ضربانی می‌تواند معکوس شمار یا نزولی هم باشد. یعنی از یک عدد شروع به شمارش معکوس کند و به صفر برسد. در شکل ۳۷ـ۶ یک شمارنده آسنکرون نزولی چهاربیتی رسم شده است.

جدول تغییرات خروجی به ازای هر پالس ساعت در جدول ۱۶ـ۶ نشان داده شده است.

کار نرم‌افزاری در ساعات غیر درسی: مدار شمارنده آسنکرون صعودی و نزولی را با نرم‌افزار مولتی سیم شبیه‌سازی کنید و وضعیت خروجی فلیپ فلاپ‌ها و اعداد شمارش شده را به ازای هر پالس ساعت مورد بررسی قرار دهید و صحت عملکرد مدار را بررسی کنید.

جدول ۱۶ـ۶

تعداد پالس ساعت	پالس ساعت	$\overline{Q}_0$	$\overline{Q}_1$	$\overline{Q}_2$	$\overline{Q}_3$
۰	۱۵	۱	۱	۱	۱
۱	۱۴	۱	۱	۱	۰
۲	۱۳	۱	۱	۰	۱
۳	۱۲	۱	۱	۰	۰
۴	۱۱	۱	۰	۱	۱
۵	۱۰	۱	۰	۱	۰
۶	۹	۱	۰	۰	۱
۷	۸	۱	۰	۰	۰
۸	۷	۰	۱	۱	۱
۹	۶	۰	۱	۱	۰
۱۰	۵	۰	۱	۰	۱
۱۱	۴	۰	۱	۰	۰
۱۲	۳	۰	۰	۱	۱
۱۳	۲	۰	۰	۱	۰
۱۴	۱	۰	۰	۰	۱
۱۵	۰	۰	۰	۰	۰
۱۶	۱۵	۱	۱	۱	۱



شکل ۳۷ـ۶ـ مدار شمارنده آسنکرون نزولی

نکته

شمارنده سنکرون وانواع دیگر شمارنده‌ها در مقاطع تحصیلی بالاتر آموزش داده می‌شود. به علت محدودیت زمان، در مورداین نوع شمارنده‌ها توضیح بیشتر داده نشده است.

شمارنده آسنکرون دهدهی BCD (Binary Code Decimal)

✓ اگر شمارنده‌ای از صفر تا ۱۰ را بشمارد، آن را شمارنده دهدهی (اعشاری) یا BCD می‌نامند. برای شمارش تا ۱۰ به ۴ فلیپ فلاپ نیاز داریم. ۴ فلیپ فلاپ تا ۱۶ شمارش می‌کند.

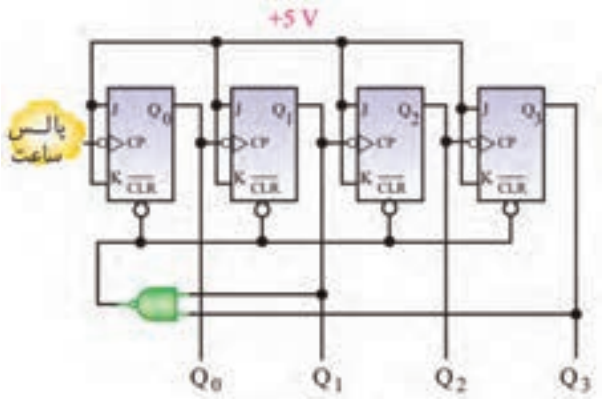
فعالیت

به چه دلیل نمی‌توانیم از ۳ فلیپ فلاپ برای شمارش تا ۱۰ استفاده کنیم؟

✓ شمارنده BCD همان شمارنده آسنکرون صعودی است با این تفاوت که باید بتواند با رسیدن به عدد ۱۰ (باینری ۱۰۱۰=۱۰ دسی‌مال)، خروجی‌ها را پاک (Reset) کند.این عمل توسط یک گیت NAND کنترل می‌شود. در شکل ۳۸ـ۶ مدار شمارنده آسنکرون دهدهی با استفاده از چهار فلیپ فلاپ T را ملاحظه می‌کنید.

جدول ۱۷ـ۶

Decimal	Q_0	Q_1	Q_2	Q_3
۰	۰	۰	۰	۰
۱	۱	۰	۰	۰
۲	۰	۱	۰	۰
۳	۱	۱	۰	۰
۴	۰	۰	۱	۰
۵	۱	۰	۱	۰
۶	۰	۱	۱	۰
۷	۱	۱	۱	۰
۸	۰	۰	۰	۱
۹	۱	۰	۰	۱



شکل ۳۸ـ۶ـ مدار شمارنده آسنکرون دهدهی

در جدول ۱۷ـ۶ تغییرات خروجی شمارنده دهدهی رسم شده است. در پالس دهم خروجی گیت NAND، صفر شده و همه حافظه‌ها پاک می‌شوند.

الگوی پرسش

۱)برای شمارش تا پایان عدد ۵۹ به چند فلیپ فلاپ نیاز داریم؟

الف)۴ ب)۵ ج)۶ د)۷

۲) در شمارنده آسنکرون صعودی از فلیپ فلاپ نوع T که T=۱ است استفاده می‌کنیم. درست ☐ نادرست ☐

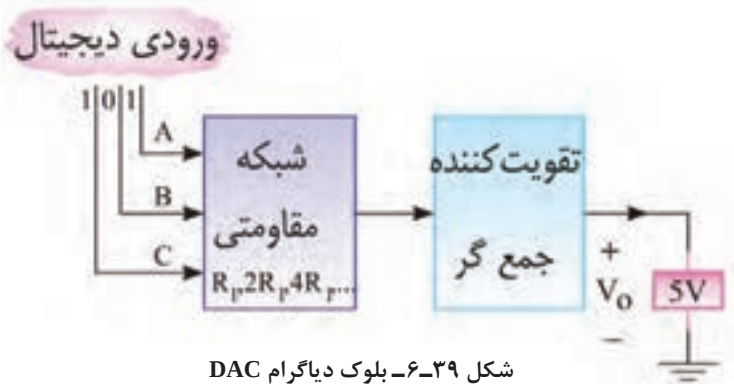
۳)در شمارنده آسنکرون، به طور هم‌زمان به همه فلیپ فلاپ‌ها پالس ساعت اعمال می‌شود.

درست ☐ نادرست ☐

۴)شمارنده آسنکرون صعودی طراحی کنید که تا پایان عدد ۱۲ بشمارد و سپس صفر شود.

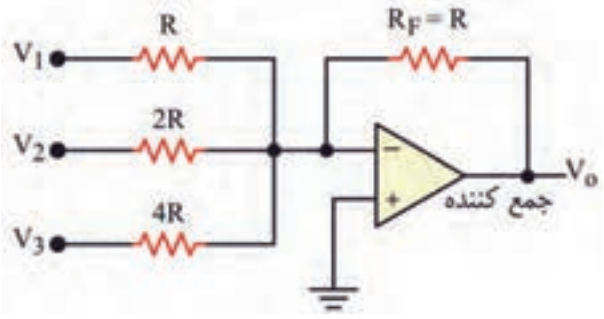
۷ـ۶ـ مبدل‌های دیجیتال به آنالوگ (Digital to Analog Converter)

■ اطلاعات و علائم دیجیتالی ذخیره شده در واحد حافظه به وسیله یک مدار مبدل DAC به سیگنال آنالوگ تبدیل می‌شود. در شکل ۳۹ـ۶ بلوک دیاگرام یک مبدل دیجیتال به آنالوگ را ملاحظه می‌کنید.

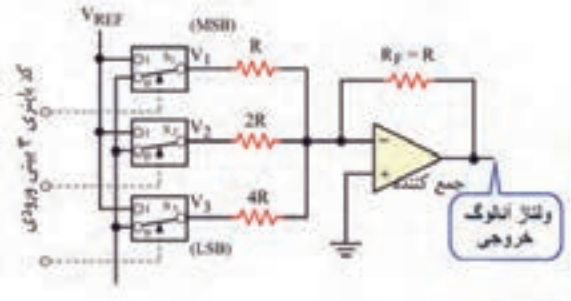


شکل ۳۹ـ۶ـ بلوک دیاگرام DAC

مدار DAC یک جمع‌کننده ولتاژ است. در شکل ۴۰ـ۶ از یک مدار تقویت‌کننده عملیاتی استفاده کرده‌ایم که در آن مقاومت فیدبک $R_F = R$ و شبکه مقاومتی ورودی به‌صورت R، ۲R و ۴R است. چون مقدار مقاومت‌های ورودی میزان تقویت مدار را تعیین می‌کنند، مقدار آن بر اساس ارزش بیت‌های ورودی تعیین می‌شود، مثلاً به مقاومت R بیت پرارزش MSB و به ۴R بیت کم ارزش وصل می‌شود. طبق شکل ۴۱ـ۶ اگر کلیدهای S_1، S_2 و S_3 به V_{REF} وصل شوند، بیت ورودی برابر با ۱ و اگر به زمین وصل شوند، بیت ورودی برابر با صفر است. مدار شکل ۴۰ـ۶ را مدار جمع‌کننده و مدار شکل ۴۱ـ۶ را مدار مبدل DAC می‌نامند. مثلاً اگر ورودی دیجیتال سه بیتی و به‌صورت ۱۱۱ باشد، هر سه کلید به V_{REF} وصل می‌شود. و با توجه به‌اینکه ولتاژ مرجع ۴- ولت است ($V_{REF} = -4V$)، مقدار ولتاژ آنالوگ خروجی از رابطه زیر به دست می‌آید:



شکل ۴۰ـ۶ـ جمع‌کننده



شکل ۴۱ـ۶ـ مبدل دیجیتال با آنالوگ

$$Vo = -\left(\frac{R_F}{R}V_{REF} + \frac{R_F}{2R}V_{REF} + \frac{R_F}{4R}V_{REF}\right)$$

$$Vo = -\left(\frac{R}{R} + \frac{R}{2R} + \frac{R}{4R}\right)\times(-4) = -\left(1 + \frac{1}{2} + \frac{1}{4}\right)\times(-4) = (4+2+1) = 7V$$

نکته

توجه داشته باشید که ولتاژ خروجی ضرورتی ندارد دقیقاً با عدد باینری داده شده برابر باشد. دراین مثال مقدار ولتاژ مرجع طوری انتخاب شده است که ولتاژ خروجی با عدد اعشاری معادل باینری ۱۱۱ برابر شده و با صرفنظر از علامت منفی برابر با ۷ ولت است.

فعالیت

در مدار شکل ۴۱ـ۶ اگر به کلیدهای S_1,S_2,S_3 به ترتیب اعداد منطقی زیر متصل شود، ولتاژ خروجی را محاسبه کنید و نتایج را تحلیل نمایید.

$S_1,S_2,S_3 = ۰۰۰$ $S_1,S_2,S_3 = ۰۰۱$ $S_1,S_2,S_3 = ۰۱۰$ $S_1,S_2,S_3 = ۰۱۱$ $S_1,S_2,S_3 = ۱۰۰$

فعالیت‌گروهی

در مبدل DAC شکل ۴۱ـ۶ برای همه حالت‌های ورودی (۰۰۰ تا ۱۱۱) اگر ولتاژ مرجع برابر ۵ ولت باشد، ولتاژ خروجی را محاسبه، در یک نمودار رسم و نتایج را تحلیل کنید و یک گزارش مکتوب ارائه دهید.

در شکل ۴۲ـ۶ یک نمونه آی‌سی مبدل دیجیتال به آنالوگ DAC هشت بیتی با شماره فنی MC۱۴۰۸ به‌صورت بلوک دیاگرام نشان داده شده است که ولتاژ خروجی آن بر حسب بیت‌های ورودی داده شده به A_1، A_2، A_3، A_4، A_5، A_6، A_7، A_8، و مقدار ولتاژ مرجع (V_{REF}) و مقدار مقاومت فیدبک $R_F = R_0$ و مقاومت پتانسیومتر R_{14} از رابطه زیر محاسبه می‌شود:

$$Vo = \frac{V_{REF}}{R_{14}} R_0 \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right)$$

پژوهش

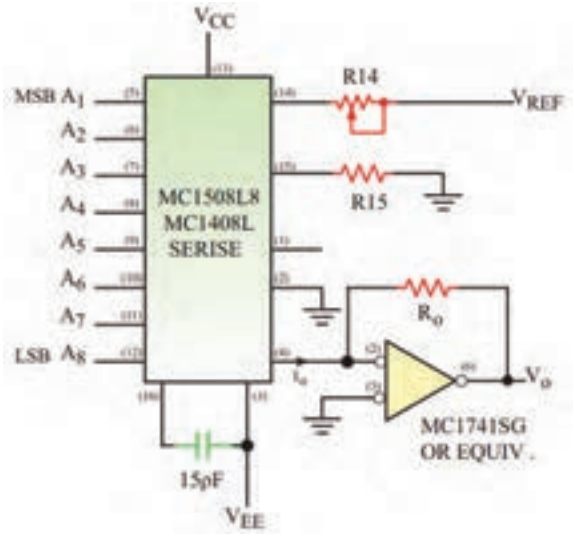
با مراجعه به برگه اطلاعات آی‌سی MC۱۴۰۸ درباره مشابهت بلوک دیاگرام شکل ۳۹ـ۶ با مدار ۴۲ـ۶ تحقیق کنید و مدار معادل آن را که مشابه با جمع کننده است، ترسیم کنید و در قالب گزارش به‌صورت پاورپوینت ارائه دهید.

روش تبدیل سیگنال آنالوگ به سیگنال دیجیتال (Analog to Digital Convertor)

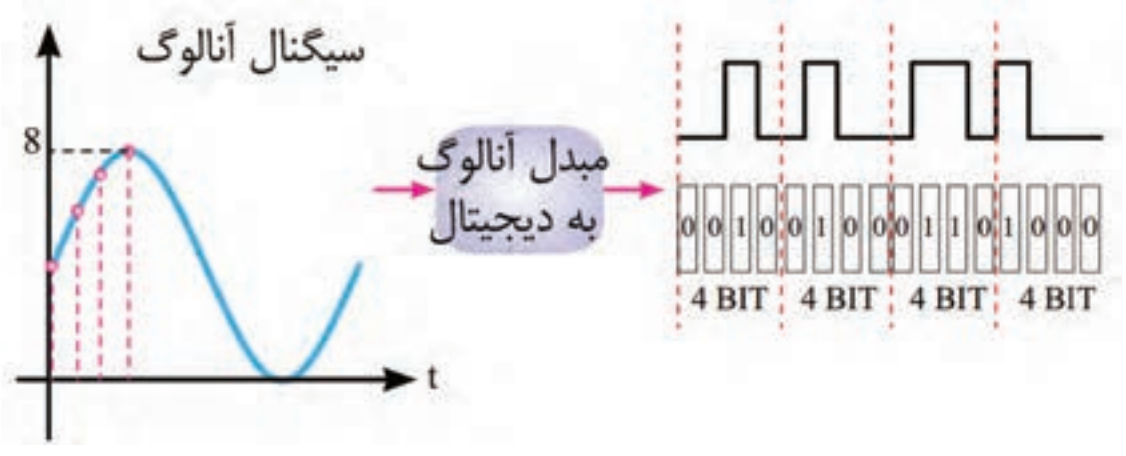
اگر بخواهیم سیگنال آنالوگ را به علائم دیجیتالی n بیتی تبدیل کنیم، به مبدل ADC نیاز داریم. در شکل ۴۳ـ۶ چگونگی تبدیل یک نمونه سیگنال آنالوگ به سیگنال دیجیتال ۴بیتی را مشاهده می‌کنید. همان‌طور که ملاحظه می‌شود، دراین فرایند ۴ سطح سیگنال آنالوگ به علائم دیجیتالی ۱۰۰۰، ۰۱۱۰، ۰۱۰۰، ۰۰۱۰ تبدیل شده است.

جدول ۱۸ـ۶

پله یاگام	ورودی آنالوگ	خروجی دودویی			
	Volts	۸s	۴s	۲s	۱s
		D	C	B	A
۱	۰	۰	۰	۰	۰
۲	۰/۲	۰	۰	۰	۱
۳	۰/۴	۰	۰	۱	۰
۴	۰/۶	۰	۰	۱	۱
۵	۰/۸	۰	۱	۰	۰
۶	۱/۰	۰	۱	۰	۱
۷	۱/۲	۰	۱	۱	۰
۸	۱/۴	۰	۱	۱	۱
۹	۱/۶	۱	۰	۰	۰
۱۰	۱/۸	۱	۰	۰	۱
۱۱	۲/۰	۱	۰	۱	۰
۱۲	۲/۲	۱	۰	۱	۱
۱۳	۲/۴	۱	۱	۰	۰
۱۴	۲/۶	۱	۱	۰	۱
۱۵	۲/۸	۱	۱	۱	۰
۱۶	۳/۰	۱	۱	۱	۱

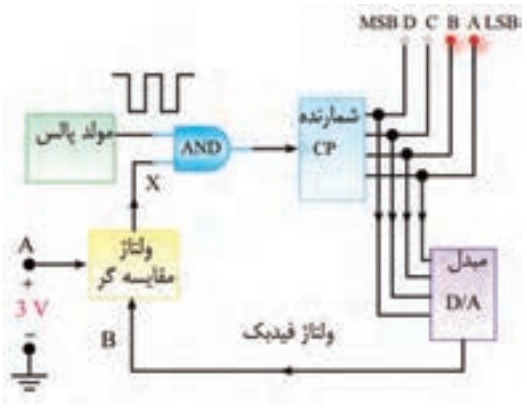


شکل ۴۲ـ۶ـ مدار مبدل دیجیتال به آنالوگ با آی سی

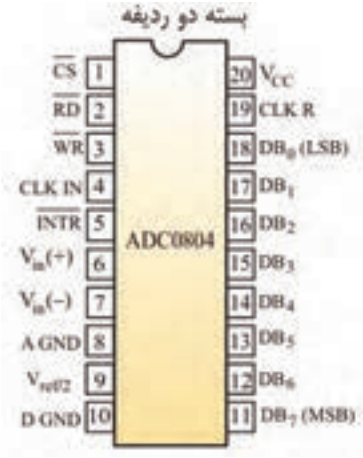


شکل ۴۳ـ۶ـ تبدیل سیگنال آنالوگ به دیجیتال چهار بیتی

■ **مدار الکترونیکی مبدل آنالوگ به دیجیتال ADC:** مدار الکترونیکی مبدل ADC نسبت به مدار مبدل DAC پیچیده‌تر است. یک نمونه ازاین نوع مدار را که شامل مبدل DAC، مقایسه‌کننده ولتاژ، مولد پالس ساعت، شمارنده و مسیر فیدبک است، در شکل ۴۴ـ۶ مشاهده می‌کنید.این مدار قادر است ولتاژ صفر تا ۳ ولت را با تفکیک ۰/۲ ولت در ۱۶ گام به یک کد ۴بیتی از ۰۰۰۰ به ۱۱۱۱ مطابق جدول ۱۸ـ۶ به‌صورت سیگنال دیجیتالی درآورد. چون مبدل ADC کاربردهای وسیعی دارد، برای آن آی‌سی‌های مختلفی ساخته شده است. آی‌سی ADC ۰۸۰۴، نمونه‌ای از مبدل ADC است که آن را در شکل ۴۵ـ۶ نشان داده‌ایم.این آی سی قادر است ولتاژ آنالوگ صفر تا ۵ ولت را به یک کلمه دیجیتالی ۸ بیتی که شامل ۲۵۶ حالت است تبدیل کند.



شکل ۴۴ـ۶ـ مدار الکترونیکی مبدل آنالوگ به دیجیتال



شکل ۴۵ـ۶ـ آی سی مبدل آنالوگ به دیجیتال

فعالیت در ساعات غیر درسی

مدارهای DAC و ADC را با نرم‌افزارهایی که آموزش دیده‌اید، شبیه‌سازی کنید و صحت عملکرد مدار را مورد بررسی قرار دهید.

الگوی پرسش

۱ـ درمدار شکل ۴۶ـ۶ کد باینری ورودی را بنویسید و مقدار ولتاژ خروجی را محاسبه کنید.

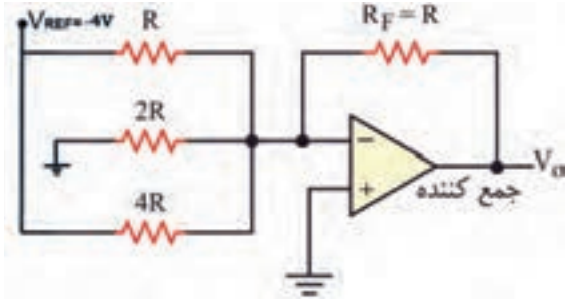
۲ـ در مدار مبدل DAC مدار جمع‌گر ولتاژ وجود دارد.
درست ☐ نادرست ☐

۳ـ یک مولد DAC ورودی از نوع..... را به خروجی از نوع..... تبدیل می‌کند.

۴ـ ADC مبدل..... و DAC مبدل..... نام دارد.

۵ـ ساختمان داخلی آی‌سی‌های DAC با مدار جمع‌گر متفاوت ☐ مشابه ☐ بوده و در قسمت‌های ورودی‌های آن کلیدهای قطع و وصل وجود ندارد ☐ وجود دارد ☐

۶ـ ساختار آی‌سی‌های DAC در مقایسه با آی‌سی‌های ADC از پیچیدگی کمتری ☐ بیشتری ☐ برخوردار است.



شکل ۴۶ـ۶

الگوی آزمون نظری پایان واحد یادگیری

۱ـ با توجه به جدول درستی ۱۹ـ۶، تابع F را به‌صورت مجموع مین ترم‌ها بنویسید. سپس تابع را توسط دکُدر اجرا کنید.

۲ـ تابع $F(A,B,C)=\sum_m(0,1,2,4,6)$ را با استفاده از یک مالتی پلکسر اجرا کنید.

۳ـ یک رمزگشا با n ورودی، حداکثر دارای چند خروجی است؟

۴ـ برای ثبت ۴ بیت اطلاعات به تعداد 2^4 واحد حافظه (فلیپ فلاپ) نیاز داریم. صحیح ☐ غلط ☐

۵ـ شیفت رجیسترها از نظر چگونگی ثبت اطلاعات و خواندن اطلاعات به چند گروه تقسیم می‌شوند؟ نام ببرید.

۶ـ محتوای اولیه یک ثبات ۴ بیتی سری ـ سری به‌صورت ۱۱۰۱ است. اطلاعات ۱۰۱۱۰۱ طی شش پالس ساعت وارد شیفت رجیستر می‌شود. محتوای ثبات را پس از اعمال شش پالس ساعت بنویسید.

۷ـ جدول درستی فلیپ فلاپ T و D را بنویسید.

۸ـ جدول درستی ۲۰ـ۶ مربوط به کدام نوع فلیپ فلاپ است؟

الف) T ب) J_K پ) J_ K _ MS ت) D

۹ـ جدول درستی فلیپ فلاپ J_K _ MS را رسم کنید.

۱۰ـ برای شمارش تا عدد ۱۵۶ به چند فلیپ فلاپ نیاز داریم؟

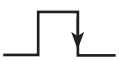
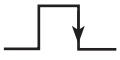
۱۱ـ با دو فلیپ فلاپ J_K و با رفتار T، حداکثر تا چه عددی را می‌توان شمرد؟ مدار شمارنده را رسم کنید.

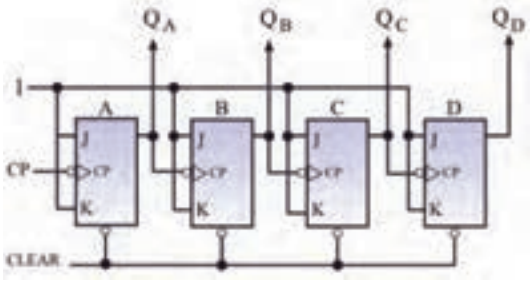
۱۲ـ برای آنکه شمارنده شکل ۴۷ـ۶ تا پایان عدد ۱۳ (ابتدای پالس چهاردهم) بشمرد و سپس صفر شود، مدار شمارنده را کامل کنید.

جدول ۱۹ـ۶

A	B	C	F
۰	۰	۰	۱
۰	۰	۱	۱
۰	۱	۰	۰
۰	۱	۱	۱
۱	۰	۰	۰
۱	۰	۱	۱
۱	۱	۰	۰
۱	۱	۱	۱

جدول ۲۰ـ۶

X	CP	Q_t
۰		$Q_{(t-1)}$
۱		$\overline{Q}_{(t-1)}$



شکل ۴۷ـ۶

الگوی آزمون نرم‌افزاری پایان واحد یادگیری

۱ـ نرم‌افزارمولتی سیم را فعال کنید.

۲ـ تابع منطقی F را توسط مدار دکُدر شبیه‌سازی کنید. $F=\bar{A}B\bar{C}+\bar{A}BC+A\bar{B}\bar{C}+A\bar{B}C+ABC$

۳ـ تابع منطقی F را توسط مالتی‌پلکسر شبیه‌سازی کنید.

ارزشیابی واحد یادگیری ۶: کسب شایستگی در طراحی مدارهای دیجیتالی و اجرای توابع آن

شرح کار:
۱ـ تشریح عملکرد مدار دکدر و مالتی پلکسر ۲ـ نوشتن توابع منطقی به‌صورت استاندارد مین‌ترم ۳ـ اجرای توابع با استفاده از دکدر و مالتی پلکسر ۴ـ تشریح جدول درستی انواع فلیپ فلاپ‌ها ۵ـ تشریح انواع شیفت رجیسترها از نظر ورود و دریافت اطلاعات ۶ـ تشریح عملکرد شمارنده صعودی و نزولی ۷ـ تشریح عملکرد مدار مبدل A/D و D/A ۸ـ شبیه‌سازی مدارهای منطقی با استفاده از نرم‌افزار

استاندارد عملکرد: طراحی مدارهای ترکیبی و اجرای توابع و طراحی مدارهای ترتیبی با رعایت استانداردهای تعریف‌شده

شاخص‌ها:
۱ـ نوشتن توابع منطقی به‌صورت استاندارد مین ترم (۵ دقیقه) ۲ـ تشریح عملکرد مدار دکدر و مالتی پلکسر واجرای توابع با استفاده از دکدر و مالتی پلکسر (۲۰دقیقه) ۳ـ تشریح جدول درستی انواع فلیپ فلاپ‌ها (۱۰ دقیقه) ۴ـ تشریح انواع شیفت رجیسترها از نظر ورود و دریافت اطلاعات (۵ دقیقه) ۵ـ تشریح عملکرد شمارنده صعودی و نزولی (۱۰ دقیقه) ۶ـ تشریح عملکرد مدار مبدل A/D و D/A (۱۰ دقیقه) ۷ـ شبیه‌سازی مدارها با استفاده از نرم‌افزار (۱۰ دقیقه)

شرایط انجام کار و ابزار و تجهیزات: مکان مناسب انجام کاردرکلاس یا کارگاه یا سایت مجهز به رایانه با کف عایق یا آنتی‌استاتیک، نور مناسب برای کارهای ظریف ابعاد حداقل ۶ مترمربع و دارای تهویه یا پنجره ، انجام کار در حال نشسته یا ایستاده، رایانه، لوازم‌التحریر

معیار شایستگی:

ردیف	مراحل کار	حداقل نمره قبولی از ۳	نمره هنرجو
۱	نوشتن توابع منطقی به‌صورت استاندارد مین‌ترم	۱	
۲	تشریح عملکرد مدار دکدر و مالتی پلکسر و اجرای توابع با استفاده از دکدر و مالتی‌پلکسر	۲	
۳	تشریح جدول درستی انواع فلیپ فلاپ‌ها و تشریح انواع شیفت رجیسترها از نظر ورود و دریافت اطلاعات	۲	
۴	تشریح عملکرد شمارنده صعودی و نزولی	۲	
۵	تشریح عملکرد مدار مبدل A/D و D/A	۲	
۶	شبیه‌سازی مدارها با استفاده از نرم‌افزار	۲	
شایستگی‌های غیرفنی، ایمنی، بهداشت، توجهات زیست‌محیطی و نگرش: ۱ـ محافظت از تجهیزات و دستگاه‌ها ۲ـ دقت و مسئولیت‌پذیری ۳ـ شایستگی تفکرو یادگیری مادام‌العمر ۴ـ اخلاق حرفه‌ای ۵ـ رعایت نکات زیست‌محیطی ۶ـ به‌کارگیری فناوری نوین ۷ـ مستندسازی		۲	
میانگین نمرات			*

* حداقل میانگین نمرات هنرجو برای قبولی و کسب شایستگی، ۲ می‌باشد.