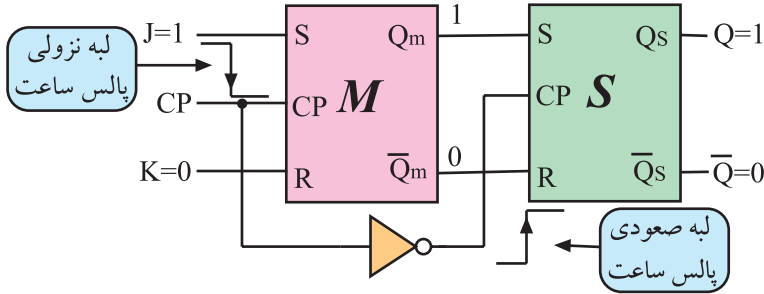


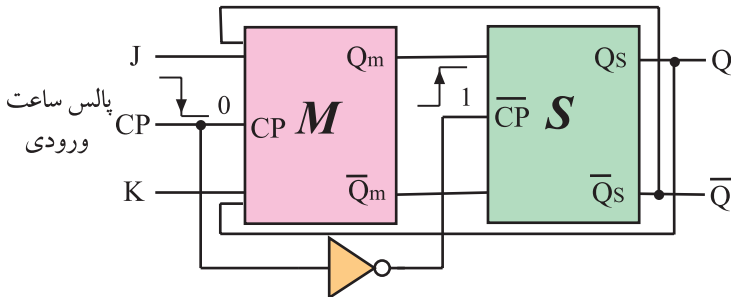
در فلیپ فلاپ JK-MS در هنگام لبه صعودی پالس Master، اطلاعات ورودی وارد حافظه Master می شود. شکل ۲-۵۰ نشان می دهد که اطلاعات ورودی وارد حافظه Master شده است.

شکل ۲-۵۰ در هنگام لبه صعودی پالس ورودی، اطلاعات ورودی وارد حافظه Master می شود.



در هنگام لبه نزولی پالس ساعت ورودی، پالس ساعت فلیپ فلاپ Slave صعود می کند و اطلاعات حافظه Master، وارد حافظه Slave که حافظه خروجی است می شود. در شکل ۲-۵۱ لبه نزولی پالس ساعت Master و لبه صعودی پالس ساعت Slave و ورود اطلاعات حافظه Master به حافظه Slave نشان داده شده است. مشاهده می شود هنگامی که اطلاعات به خروجی فلیپ فلاپ Slave انتقال می یابد و می خواهد به ورودی فلیپ فلاپ Master فیدبک شود دروازه فلیپ فلاپ Master بسته است یعنی  $CP = 0$  است (شکل ۲-۵۲) بدین ترتیب اطلاعات برگشتی نمی تواند وارد حافظه Master شود و حافظه را به نوسان درآورد.

شکل ۲-۵۱ در هنگام لبه نزولی پالس ساعت ورودی، پالس ساعت Slave صعود می کند و اطلاعات وارد حافظه Slave می شود.

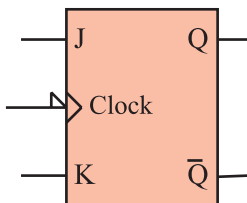


شکل ۲-۵۲ هنگامی که Q و Q-bar به ورودی فیدبک می یابند  $CP = 0$  است.

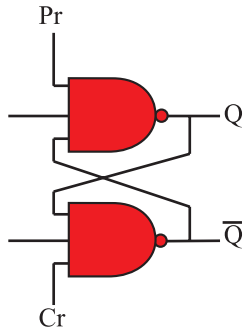
جدول ۲-۱۰ جدول درستی فلیپ فلاپ JK-MS

J	K	CP	$Q_t$
0	0		$Q_{t-1}$ حالت قبلی را حفظ می کند
0	1		0 RESET
1	0		1 SET
1	1		$\overline{Q_{t-1}}$ حالت قبلی عکس می شود

جدول درستی فلیپ فلاپ JK-MS مانند جدول درستی فلیپ فلاپ JK است. فقط در فلیپ فلاپ JK-MS اطلاعات در لبه نزولی پالس ساعت وارد حافظه می شوند. جدول ۲-۱۰ جدول درستی فلیپ فلاپ JK-MS را نشان می دهد نماد بلوکی فلیپ فلاپ JK-MS را در شکل ۲-۵۳ مشاهده می کنید.



شکل ۲-۵۳ نماد بلوکی فلیپ فلاپ JK-MS



شکل ۲-۵۴ - خط Pr و Cr به آخرین گیت‌های فلیپ فلاپ اتصال دارند.

## ۲-۲-۹ - عملکرد ورودی‌های پیش تنظیم Pre<sup>۱</sup> و

پاک کردن Clear<sup>۲</sup>: در زمان وصل تغذیه به مدار فلیپ فلاپ، وضعیتی که حافظه در آن قرار می‌گیرد یعنی حالت Q، در انواع فلیپ فلاپ‌ها کاملاً متضاد است. برای ایجاد یک حالت معین و تعریف شده اولیه، از ورودی «پریست» (Preset) و «کلیر» (clear) استفاده می‌کنیم. Pre و Clr مانند شکل ۲-۵۴ مستقیماً روی Q و Q-bar اثر می‌گذارند.

## جدول ۲-۱۱ - جدول درستی کامل یک فلیپ فلاپ JK با ورودی

Pr و Cr

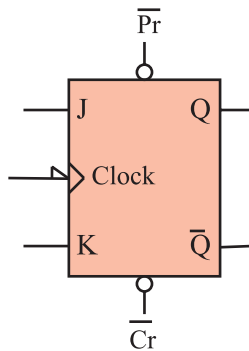
Pr	Cr	CP	J	K	Q <sub>t</sub>
0	0	X	X	X	حالت ناپایدار *
0	1	X	X	X	Preset (پر شده) 1
1	0	X	X	X	Clear (پاک شده) 0
1	1	-	X	X	Q <sub>t-1</sub>
1	1		0	0	حالت قبلی را حفظ می‌کند Q <sub>t-1</sub>
1	1		0	1	Reset خروجی 0 (0)
1	1		1	0	Set خروجی 1 (1)
1	1		1	1	حالت قبلی عکس می‌شود Q <sub>t-1</sub>

در صورتی که Pr = 0 و Cr = 1 باشد مقدار Q = 1

می‌شود همچنین اگر Pr = 1 و Cr = 0 باشد مقدار Q = 0 خواهد شد ایجاد شرایط Pr = 0 و Cr = 0 حالت ناپایدار ایجاد می‌کند. وضعیت Pr = 1 و Cr = 1 تغییری در حافظه به وجود نمی‌آورد. جدول ۲-۱۱ جدول درستی کامل یک فلیپ فلاپ JK را با ورودی Pr و Cr نشان می‌دهد.

Pr = 0  
Cr = 1  
Q = 1

Pr = 1  
Cr = 0  
Q = 0



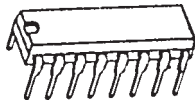
شکل ۲-۵۵ - نماد بلوکی فلیپ فلاپ JK با Pr و Cr

در شکل ۲-۵۵ نماد بلوکی فلیپ فلاپ J-k با خط Pr و

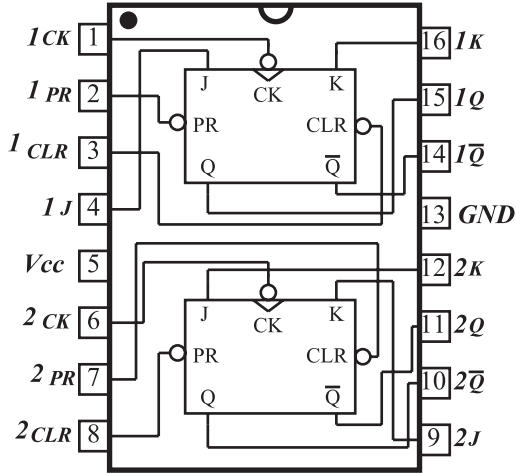
Cr رسم شده است.

۱- Pre - Preset قبلاً بر کردن - پیش تنظیم

۲- Clear - Clr = Cl پاک کردن



شکل ۲-۵۶- شکل ظاهری آی سی ۷۴۷۶



شکل ۲-۵۷- نماد داخلی آی سی ۷۴۷۶

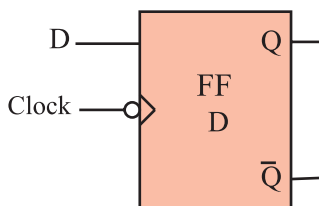
۱۰-۲-۲- تراشه ۷۴LS۷۶: آی سی ۷۴LS۷۶ یک

تراشه ۱۶ پایه است که در داخل آن دو عدد فلیپ فلاپ JKMS جاسازی شده است. شکل ۲-۵۶ شکل ظاهری این آی سی را نشان می دهد. در شکل ۲-۵۷ فلیپ فلاپ های داخل این آی سی رسم شده اند.

پایه ۵ تغذیه مثبت آی سی (+۵ ولت) و پایه ۱۳ زمین آی سی است.

جدول ۲-۱۲- جدول درستی یکی از فلیپ فلاپ های آی سی ۷۴۷۶

INPUTS					OUTPUTS	
Preset	Clear	Clock	J	K	Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H	H
H	H	↓	L	L	Q	Q̄
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q	Q̄



شکل ۲-۵۸- فلیپ فلاپ D

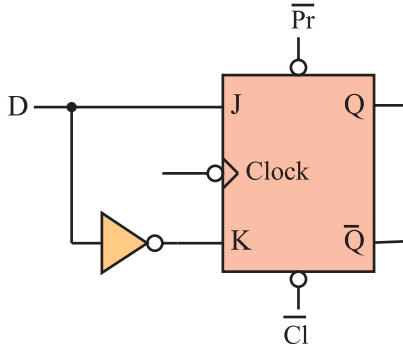
جدول ۲-۱۲، جدول درستی یکی از فلیپ فلاپ های

۷۴LS۷۶ را نشان می دهد. حالت X به معنی این است که وضعیت ورودی اهمیتی ندارد و هر مقدار صفر یا یک می تواند باشد.

۱۱-۲-۲- فلیپ فلاپ نوع D<sup>۱</sup>: این فلیپ فلاپ تنها

دارای یک ورودی است که ورودی D نام دارد (شکل ۲-۵۸).

از این فلیپ فلاپ به عنوان یک سلول ثبات (ثابت کننده) استفاده می کنند. زیرا اطلاعات ورودی آن پس از هر پالس ساعت وارد حافظه فلیپ فلاپ شده و تا پالس ساعت بعدی حفظ می شود. این فلیپ فلاپ را می توان به کمک هر یک از انواع فلیپ فلاپ SR، JK یا JK-MS ساخت. برای این منظور باید ورودی S را نفی کنیم سپس آن را به R اتصال دهیم. همچنین می توان ورودی J را نفی کرد و به ورودی K اتصال داد شکل ۲-۵۹ یک فلیپ فلاپ D را با استفاده از فلیپ فلاپ J-K نشان می دهد.



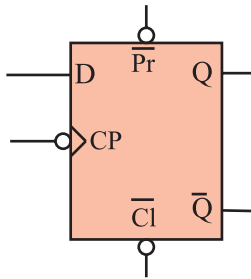
شکل ۲-۵۹- فلیپ فلاپ D با استفاده از فلیپ فلاپ JK

جدول ۲-۱۳- جدول درستی فلیپ فلاپ D

CP	D	Q
	0	0
	1	1

جدول درستی فلیپ فلاپ D مطابق جدول ۲-۱۳ است.

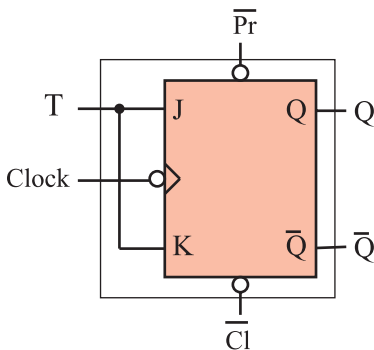
در شکل ۲-۶۰ نماد بلوکی فلیپ فلاپ نوع D رسم شده است.



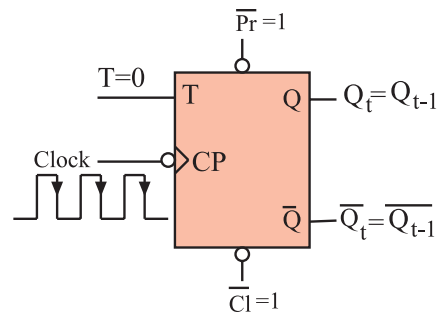
شکل ۲-۶۰- نماد مدار فلیپ فلاپ D

۲-۲-۱۲- فلیپ فلاپ نوع T: اگر دو ورودی فلیپ

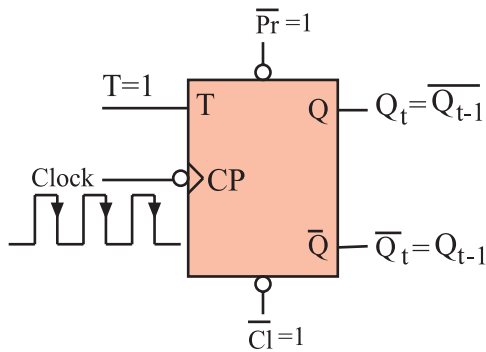
فلاپ JK را به هم وصل کنیم و اتصال مشترک را T بنامیم، فلیپ فلاپ جدیدی ساخته می شود که به آن فلیپ فلاپ نوع T یا کلیدی گویند. شکل ۲-۶۱ نحوه تبدیل فلیپ فلاپ J-K را به T نشان می دهد. با توجه به شکل درمی یابیم که اطلاعات ورودی های J و K با هم برابرند. پس اگر  $T=0$  باشد (مطابق شکل ۲-۶۲)  $J=K=0$  است. در این صورت حافظه بدون تغییر می ماند.



شکل ۲-۶۱- تبدیل فلیپ فلاپ J-K به T



شکل ۲-۶۲-  $T=0$  است و Q و Q-bar تغییر نمی کند



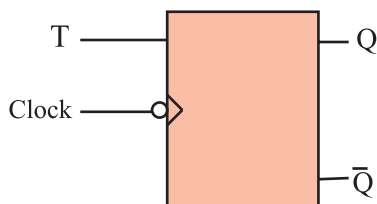
شکل ۲-۶۳- T است در لبه نزولی پالس ساعت  $Q_t$  برعکس می‌شود.

جدول ۲-۱۴- جدول درستی T-FF بر اساس عملکرد JK-FF

T	CLK	J	K	$Q_{t-1}$	$Q_t$
0		0	0	0	0
0		0	1	1	1
1		1	1	0	1
1		1	1	1	0

جدول ۲-۱۵- جدول درستی T-FF

T	CP	$Q_t$
0		$Q_{t-1}$ حالت قبلی را حفظ می‌کند
1		$\overline{Q_{t-1}}$ حالت قبلی عکس می‌شود



شکل ۲-۶۴- نماد بلوکی T-FF

0	0	1	1	1	0	0	1	0	1	1	1	0	1	0	0	0
1																
2																
n																

شکل ۲-۶۵- فلیپ فلاپ مانند یک خانه اطلاعات ۰ یا ۱ را در خود نگهداری می‌کند.

حال چنانچه  $T=1$  باشد،  $J=K=1$  است طبق شکل ۲-۶۳ با هر پالس ساعت وضعیت حافظه برعکس حالت قبل می‌شود. یعنی اگر حافظه Set است به حالت Reset و اگر Reset است به حالت Set می‌رود.

جدول ۲-۱۴- جدول درستی T-FF را بر اساس عملکرد

JK-FF نشان می‌دهد. این جدول را می‌توان به صورت جدول ۲-۱۵ خلاصه کرد. نماد بلوکی فلیپ فلاپ T در شکل ۲-۶۴ آمده است.

### ۲-۳- بررسی انواع شیفت رجیسترها

۲-۳-۱- بررسی کلی: رجیسترها یا ثبات‌ها گروهی از

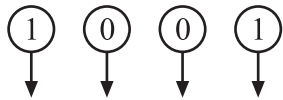
سلول‌های حافظه هستند که مانند جدولی از خانه‌ها (مطابق شکل ۲-۶۵) اطلاعات را در خود نگهداری می‌کنند. یک ثبات n بیتی دارای n فلیپ فلاپ است و می‌تواند n بیت<sup>۲</sup> اطلاعات را به صورت ۰ و ۱ در خود ذخیره کند. هر صفر یا یک را یک بیت می‌گویند مثلاً 010 دارای سه بیت است.

۱- Shift Register

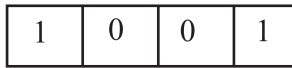
۲- bit = binary digit عدد باینری



حالت اولیه حافظه



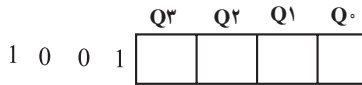
اطلاعات مورد انتقال



اطلاعات ثبت شده بعد از فرمان

انتقال

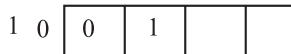
شکل ۲-۶۶ - اطلاعات به طور همزمان به حافظه انتقال می‌یابد.



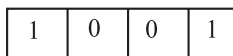
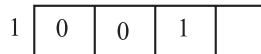
مرحله ۱ - حافظه خالی است



مرحله ۲ - یک بیت اطلاعات وارد حافظه شد

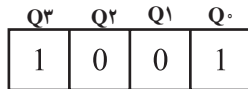


مرحله ۳ و ۴ - سایر اطلاعات به طور پشت سرهم وارد حافظه می‌شوند

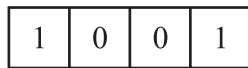


مرحله ۵ - کلیه اطلاعات منتقل شده‌اند

شکل ۲-۶۷ - اطلاعات پشت سرهم و تدریجی به حافظه منتقل می‌شوند.



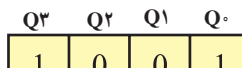
اطلاعات ثبت شده در حافظه



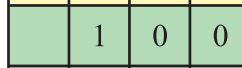
اطلاعات به طور همزمان خوانده می‌شود



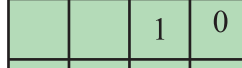
شکل ۲-۶۸ - خواندن اطلاعات به طور موازی



اطلاعات ثبت شده در حافظه



اطلاعات یکی یکی خوانده می‌شود



شکل ۲-۶۹ - خواندن اطلاعات به صورت پشت سرهم

## ۲-۳-۲ - انواع شیفت رجیسترها: برای انتقال

اطلاعات به حافظه‌ها می‌توان به دو صورت انتقال هم‌زمان یا موازی و انتقال پشت سرهم یا سری عمل کرد. شکل ۲-۶۶ و ۲-۶۷ حالت‌های انتقال اطلاعات را نشان می‌دهد.

خواندن اطلاعات ثبت شده در حافظه‌ها می‌تواند به صورت

هم‌زمان یا موازی و یا به صورت پشت سرهم یا سری انجام گیرد.

شکل ۲-۶۸ - خواندن اطلاعات به طور موازی و شکل ۲-۶۹

خواندن اطلاعات به صورت سری را از Q<sub>0</sub> نشان می‌دهد.

شیفت رجیسترها براساس نحوه‌ی ورود و یا خروج

اطلاعات به چهار دسته تقسیم‌بندی می‌شوند.

۱- رجیستر با توانایی نوشتن موازی - خواندن موازی<sup>۱</sup>

(PIPO)

۲- رجیستر با توانایی نوشتن موازی - خواندن سری<sup>۲</sup>

(PISO)

۳- رجیستر با توانایی نوشتن سری - خواندن موازی<sup>۳</sup>

(SIPO)

۴- رجیستر با توانایی نوشتن سری - خواندن سری<sup>۴</sup>

(SISO)

۱- PIPO = Parallel in parallel out

ورودی موازی - خروجی موازی

۲- PISO = Parallel in Serial out

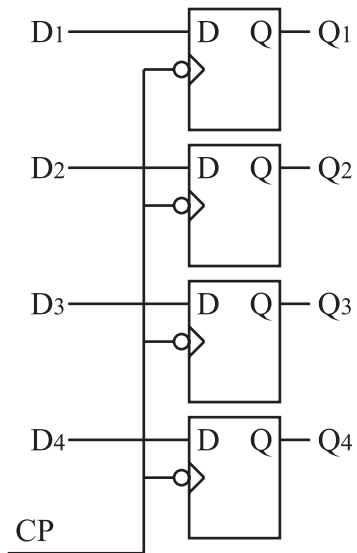
ورودی موازی - خروجی سری

۳- SIPO = Serial in Parallel out

ورودی سری - خروجی موازی

۴- SISO = Serial in Serial out

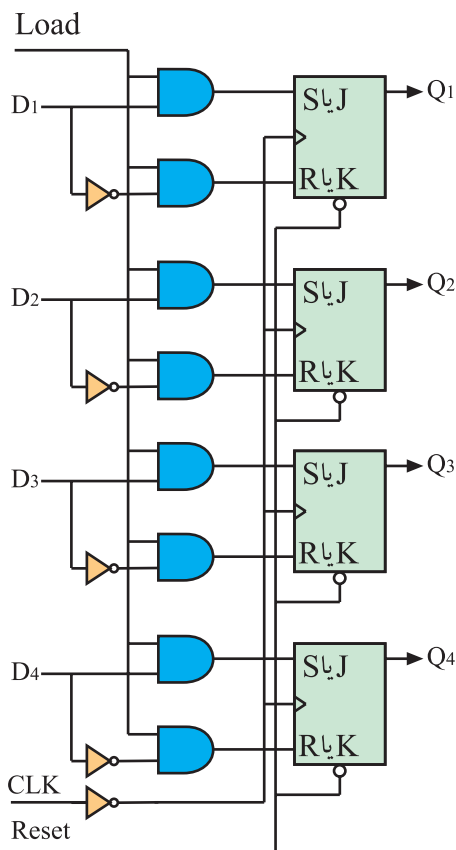
ورودی سری - خروجی سری



شکل ۲-۷۰- ثبات ورودی موازی خروجی موازی

### ۳-۲- رجیستر با توانایی نوشتن موازی -

خواندن موازی: ساده‌ترین ثبات مطابق شکل ۲-۷۰ است. می‌دانیم در فلیپ فلاپ نوع D با اعمال پالس ساعت، اطلاعات ورودی به خروجی انتقال می‌یابد. هنگامی که پالس ساعت،  $CP=0$  است، اطلاعات خروجی  $Q_1$  تا  $Q_4$  تغییر پیدا نمی‌کند. هنگامی که  $CP=1$  شود اطلاعات  $D_1$  و  $D_2$  و  $D_3$  و  $D_4$  به خروجی‌های  $Q_1$  و  $Q_2$  و  $Q_3$  و  $Q_4$  انتقال می‌یابند.



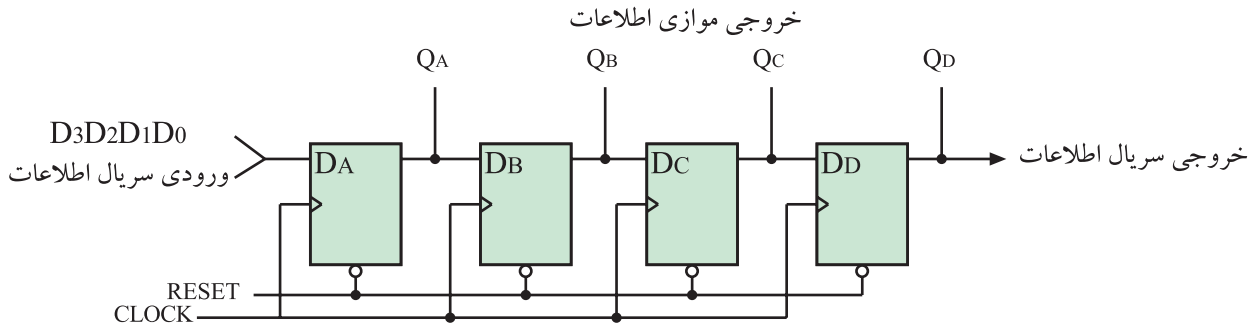
شکل ۲-۷۱- رجیستر از نوع PIPO (نوشتن موازی - خواندن موازی)

### رجیستر شکل ۲-۷۱ نیز از نوع PIPO است. فلیپ

فلاپ‌ها می‌توانند از نوع SR یا JK باشند. ابتدا توسط Reset همه حافظه‌ها را پاک می‌کنند. این ثبات با لبه نزولی پالس ساعت، اطلاعات ورودی  $D_1$  تا  $D_4$  را به‌طور همزمان وارد حافظه‌های  $Q_1$  تا  $Q_4$  می‌کند. برای انتقال اطلاعات باید خط LOAD برابر با ۱ باشد. اطلاعات ثبت شده در حافظه‌ها را نیز می‌توان به‌طور همزمان خواند.

### ۲-۳-۴- رجیستر با توانایی «نوشتن سری-خواندن

سری»: شکل ۲-۷۲ یک شیفت رجیستر با ورودی سری خروجی سری (SISO) را نشان می‌دهد. در این نوع رجیستر می‌توان اطلاعات ثبت شده را به‌طور همزمان نیز از حافظه‌ها خارج کرد.



شکل ۲-۷۲- شیفت رجیستر SISO یا SIPO

	QA	QB	QC	QD	
D <sub>4</sub> D <sub>3</sub> D <sub>2</sub> D <sub>1</sub>	0	0	0	0	← همه حافظه‌ها پاک
D <sub>4</sub> D <sub>3</sub> D <sub>2</sub>	D <sub>1</sub>				← D <sub>1</sub> وارد حافظه شد
D <sub>4</sub> D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>			← D <sub>2</sub> , D <sub>1</sub> وارد حافظه شدند
D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>		← D <sub>3</sub> , D <sub>2</sub> , D <sub>1</sub> وارد حافظه شدند
	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	← D <sub>4</sub> , D <sub>3</sub> , D <sub>2</sub> , D <sub>1</sub> وارد حافظه شدند

شکل ۲-۷۳- ورود پشت سرهم اطلاعات

ابتدا توسط خط Reset همه حافظه‌ها پاک می‌شود. با هر پالس ساعت، اطلاعات از طریق ورودی سریال به‌صورت پشت سرهم وارد حافظه‌ها می‌شود و به سمت راست انتقال می‌یابد. بعد از چهار پالس ساعت، اطلاعات در چهار حافظه ثبت می‌شود. (شکل ۲-۷۳).

جدول ۲-۱۶- ورودی اطلاعات D<sub>4</sub>, D<sub>3</sub>, D<sub>2</sub>, D<sub>1</sub> و D<sub>0</sub> به‌صورت سریال

شماره پالس	QA	QB	QC	QD
۰	0	0	0	0
۱	D <sub>1</sub>	0	0	0
۲	D <sub>2</sub>	D <sub>1</sub>	0	0
۳	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	0
۴	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>

برای خروج سریال اطلاعات کافی است که چهار پالس ساعت دیگر به مدار اعمال شود. بعد از ثبت اطلاعات می‌توان به‌طور همزمان اطلاعات را از QA و QB و QC و QD خارج کرد. در جدول ۲-۱۶ چگونگی ورود اطلاعات به حافظه‌ها نشان داده شده است.



جدول ۲-۱۷ خروج اطلاعات را به طور سریال از Q<sub>D</sub>

نشان می دهد.

جدول ۲-۱۷ خروج اطلاعات سریال از Q<sub>D</sub>

شماره پالس	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>
۴	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>
۵	0	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>
۶	0	0	D <sub>4</sub>	D <sub>3</sub>
۷	0	0	0	D <sub>4</sub>
۸	0	0	0	0

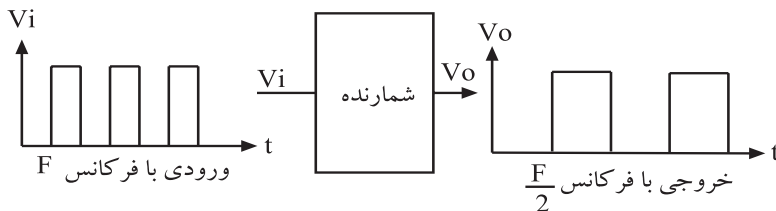
## ۲-۴ بررسی انواع شمارنده ها<sup>۱</sup>

۲-۴-۱ بررسی کلی: شمارنده مداری است که قادر

است با دریافت فرمان معین، از صفر تا عددی خاص را بشمارد. ممکن است شمارش از عدد خاص شروع شده و به صفر ختم شود. شکل ۲-۷۴ یک شمارنده را نشان می دهد. شمارنده می تواند طبق شکل ۲-۷۵ به عنوان یک مقسم فرکانس نیز عمل کند. عنصر اصلی هر شمارنده مدار فلیپ فلاپ است. شمارنده ها بر اساس نحوه کار به شمارنده های آسنکرون (غیرهمزمان) و شمارنده سنکرون (همزمان) تقسیم بندی می شوند.



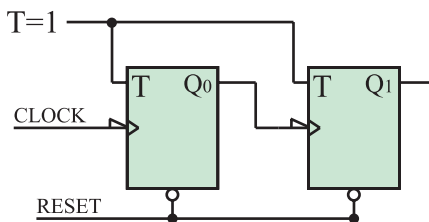
شکل ۲-۷۴ یک شمارنده



شکل ۲-۷۵ شمارنده به عنوان مقسم فرکانس

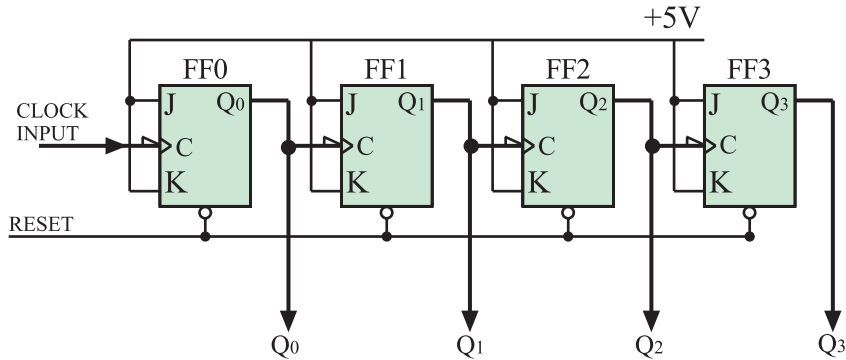
## ۲-۴-۲ شمارنده های آسنکرون: در شمارنده

آسنکرون (غیرهمزمان) پالس ساعت فلیپ فلاپ ها به طور همزمان به آنها اعمال نمی شود. بلکه هر طبقه پالس ساعت خود را از خروجی طبقه ماقبل خود دریافت می کند (شکل ۲-۷۶). این نوع شمارنده، شمارنده موجی<sup>۲</sup> نیز نامیده می شود. فلیپ فلاپ به کار رفته در این نوع شمارنده از نوع T است و باید همواره



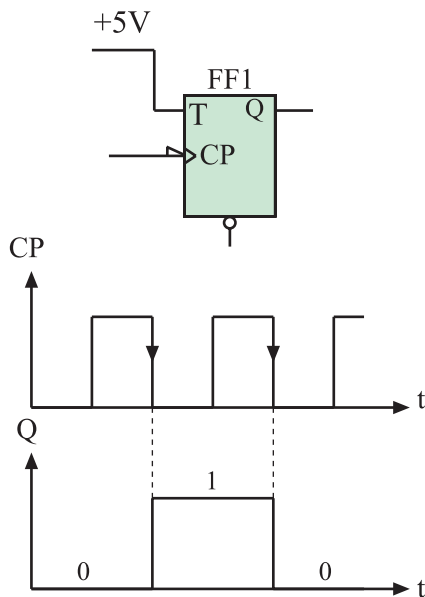
شکل ۲-۷۶ اولین CLK FF خارجی دارد Q, CLK FF است.

$T=1$  نگه داشته شود. مدار این شمارنده می تواند از نوع فلیپ فلاپ JK با داشتن شرایط  $J=K=1$  نیز باشد. شکل ۲-۷۷ مدار این شمارنده را نشان می دهد.



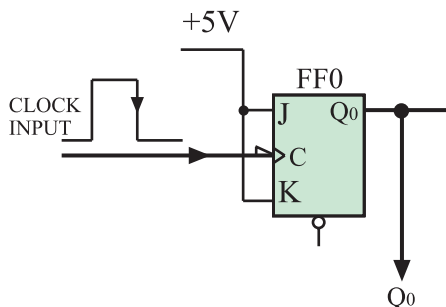
شکل ۲-۷۷- شمارنده آسنکرون

فلیپ فلاپ به کار رفته در این مدار با لبه نزولی پالس ساعت عمل می کند.



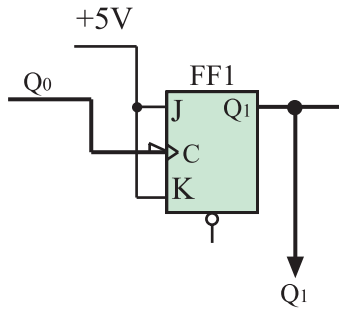
شکل ۲-۷۸- فلیپ فلاپ T و وضع حافظه آن

در فلیپ فلاپ نوع T و  $T=1$  در لبه نزولی هر پالس ساعت وضع حافظه برعکس حالت قبل خود می شود. شکل ۲-۷۸ فلیپ فلاپ T و وضع حافظه آن را به ازای دو پالس ساعت نشان می دهد.



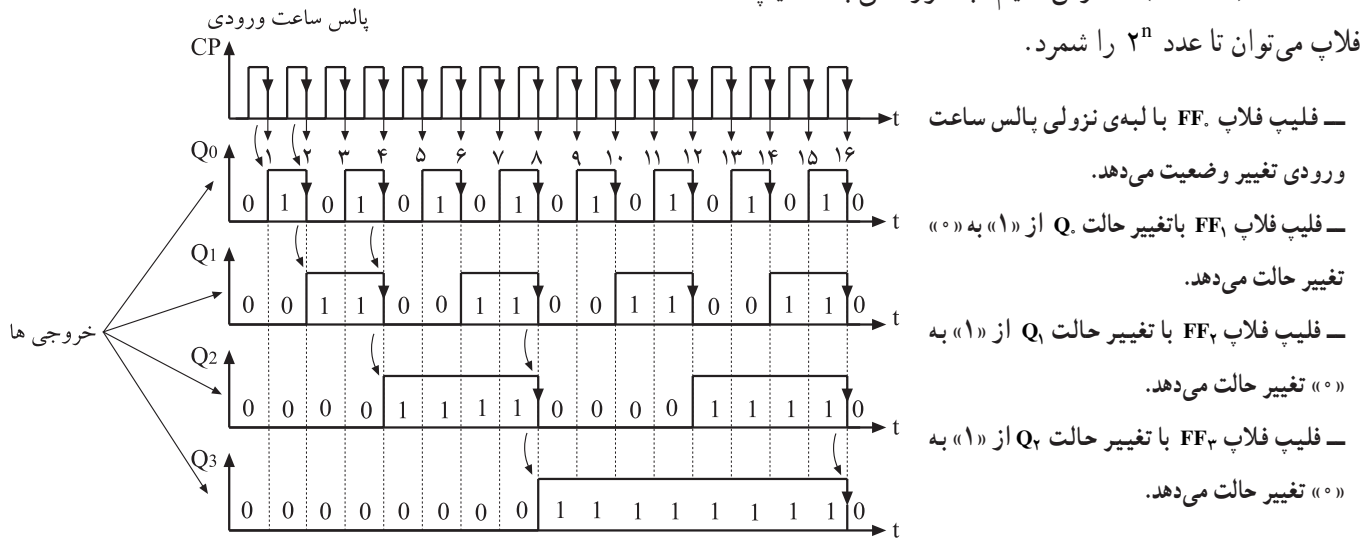
شکل ۲-۷۹- اولین فلیپ فلاپ از مولد خارج پالس ساعت را دریافت می کند.

در شکل ۲-۷۹ اولین فلیپ فلاپ پالس ساعت خود را از منبع مولد پالس خارجی دریافت می کند. در لبه نزولی هر پالس ساعت وضعیت حافظه این فلیپ فلاپ برعکس می شود یعنی در ابتدا که فلیپ فلاپ Reset است در لبه نزولی اولین پالس ساعت، حافظه (یعنی Q) Set می شود و در لبه نزولی پالس ساعت بعدی حافظه به حالت Reset تغییر وضعیت می دهد. این عمل تا آخرین



شکل ۸-۲ - دومین فلیپ فلوپ CLK خود را از Q<sub>۰</sub> دریافت می کند.

پالس ادامه می یابد. پالس ساعت دومین فلیپ فلوپ از خروجی فلیپ فلوپ طبقه ی اول تأمین می شود (شکل ۸-۲). به همین ترتیب پالس های ساعت از FF<sub>۲</sub> از Q<sub>۱</sub> و FF<sub>۳</sub> از Q<sub>۲</sub> تأمین می شود. در شکل ۸-۲ دیاگرام زمانی وضعیت حافظه ها رسم شده است. وضعیت حافظه ها را در جدول ۸-۱۸ نشان داده ایم. وضعیت حافظه ها شمارش اعداد را به ترتیب از صفر تا ۱۵ بیان می کند. این شمارنده که از ۰ تا ۱۵ را شمارش می کند، شمارنده آسنکرون صعودی نام دارد. بی بردیم با ۴ فلیپ فلوپ می توانیم تا عدد ۱۶ ( $2^4 = 16$ ) شمارش کنیم. به طور کلی با n فلیپ فلوپ می توان تا عدد  $2^n$  را شمرد.



شکل ۸-۲ - دیاگرام زمانی وضعیت حافظه ها

جدول ۸-۱۸ - اعداد شمارش شده از صفر تا ۱۵

(8) (4) (2) (1)

اعشاری	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
۰	۰	۰	۰	۰
۱	۰	۰	۰	۱
۲	۰	۰	۱	۰
۳	۰	۰	۱	۱
۴	۰	۱	۰	۰
۵	۰	۱	۰	۱
۶	۰	۱	۱	۰
۷	۰	۱	۱	۱
۸	۱	۰	۰	۰
۹	۱	۰	۰	۱
۱۰	۱	۰	۱	۰
۱۱	۱	۰	۱	۱
۱۲	۱	۱	۰	۰
۱۳	۱	۱	۰	۱
۱۴	۱	۱	۱	۰
۱۵	۱	۱	۱	۱

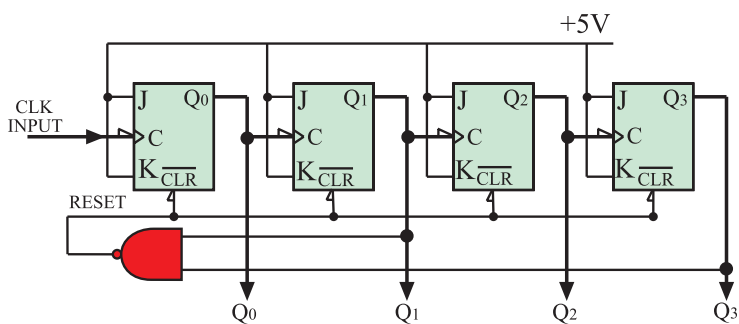
### ۳-۴-۲- شمارنده‌ی آسنکرون دهدهی: شمارنده‌ای

که از صفر تا ده یعنی ده رقم ۰ و ۱ و ۲ و ۳ و ۴ و ۵ و ۶ و ۷ و ۸ و ۹ را شمارش کند شمارنده دهدهی نام دارد. برای شمارش تا ده به ۴ فلیپ فلاپ نیاز داریم. چهار فلیپ فلاپ می‌تواند تا پایان عدد ۱۵ یعنی  $(1111)_2$  شمارش کند. لذا باید مدار شمارنده آسنکرون صعودی را طوری اصلاح کنیم که بعد از شمارش عدد ۹ یعنی  $(1001)_2$  همه فلیپ فلاپ‌ها Reset شده و شمارش مجدداً از صفر شروع شود. برای این منظور مدار را مطابق شکل ۲-۸۲ اصلاح می‌کنیم.

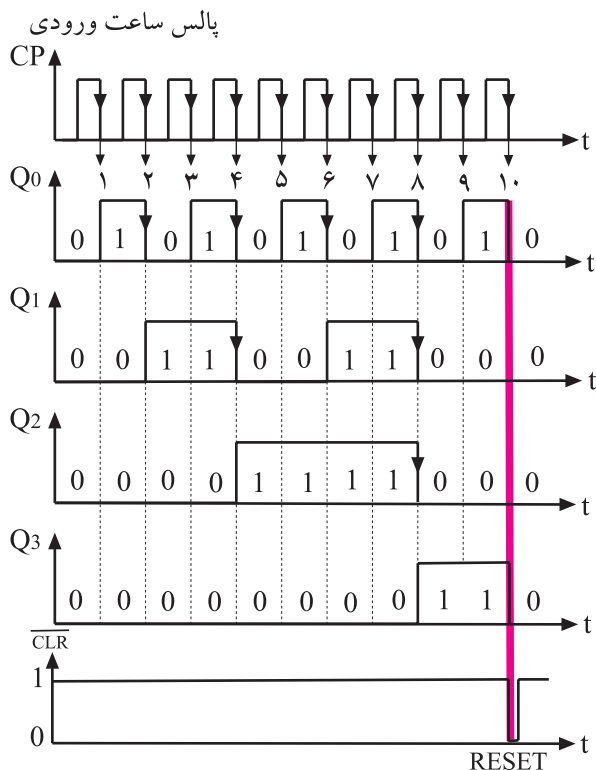
بعد از پایان شمارش عدد ۹ یعنی  $(1001)_2$  شمارش عدد ۱۰ یعنی  $(1010)_2$  آغاز می‌شود. از حافظه‌هایی که در عدد  $(1010)_2$  یک شده‌اند به ورودی NAND فیدبک می‌کنیم تا خروجی گیت NAND برای مدت کوتاهی صفر شود. چون خروجی NAND به Clear حافظه‌ها وصل است، کلیه حافظه‌ها Reset شده و شمارش مجدداً از صفر آغاز می‌شود.

در شکل ۲-۸۳ دیاگرام زمانی حافظه‌ها رسم شده است.

جدول ۲-۱۹ جدول درستی این شمارنده را نشان می‌دهد.



شکل ۲-۸۲- شمارنده آسنکرون دهدهی



شکل ۲-۸۳- دیاگرام زمانی حافظه‌ها

جدول ۲-۱۹- جدول درستی شمارنده دهدهی

Q3	Q2	Q1	Q0	اعشاری
0	0	0	0	۰
0	0	0	1	۱
0	0	1	0	۲
0	0	1	1	۳
0	1	0	0	۴
0	1	0	1	۵
0	1	1	0	۶
0	1	1	1	۷
1	0	0	0	۸
1	0	0	1	۹

#### ۴-۲-۴- شمارنده آسنکرون نزولی<sup>۱</sup>: شمارنده

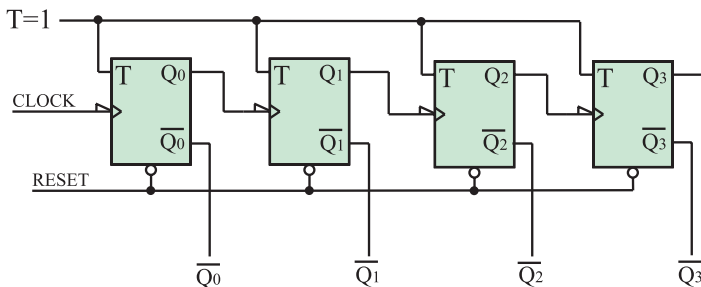
آسنکرون موجی می‌تواند معکوس شمار هم باشد یعنی از عدد خاص شروع به شمارش کند و به‌طور معکوس بشمارد تا به صفر برسد.

برای این منظور باید اطلاعات را از خروجی  $\bar{Q}$  فلیپ فلاپ‌ها دریافت کنیم. شکل ۲-۸۴ مدار این نوع شمارنده را نشان می‌دهد. این شمارنده از عدد ۱۵ یعنی  $(1111)_2$  شروع به شمارش می‌کند و بعد از هر پالس ساعت، شمارش یک عدد کاهش می‌یابد و در نهایت به صفر ختم می‌شود. بعد از رسیدن به صفر مجدداً شمارش از عدد  $(1111)_2$  آغاز و به صفر می‌رسد.

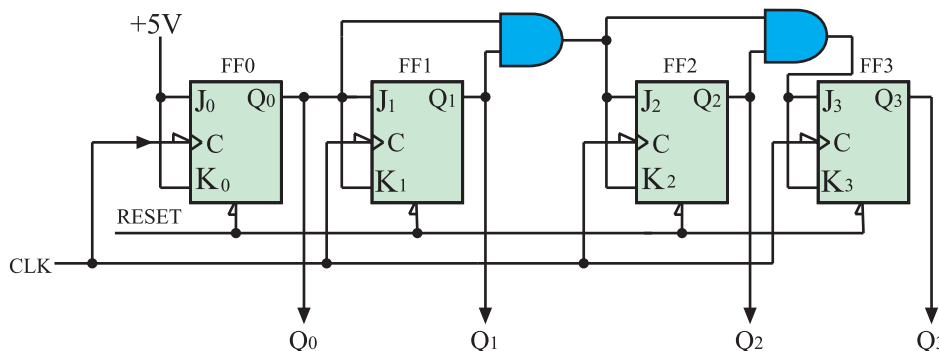
#### ۵-۲-۴- شمارنده سنکرون (همزمان): در شمارنده

آسنکرون تغییر وضعیت هر فلیپ فلاپ به تغییر وضعیت فلیپ فلاپ طبقه ماقبل آن بستگی دارد.

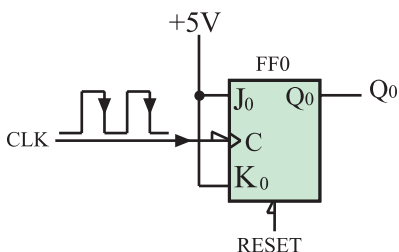
به همین جهت سرعت عمل در این شمارنده‌ها کم است، و چنانچه فرکانس پالس ساعت زیاد شود در شمارش خطا به وجود می‌آید. در شمارنده سنکرون این اشکال برطرف می‌شود. فقط گیت‌های به کار رفته در این شمارنده از شمارنده آسنکرون بیشتر است. شکل ۲-۸۵ مدار یک شمارنده سنکرون چهار بیتی را نشان می‌دهد.



شکل ۲-۸۴- شمارنده آسنکرون نزولی

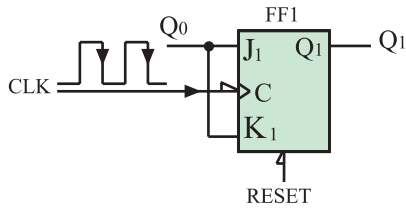


شکل ۲-۸۵- شمارنده سنکرون چهاربیتی



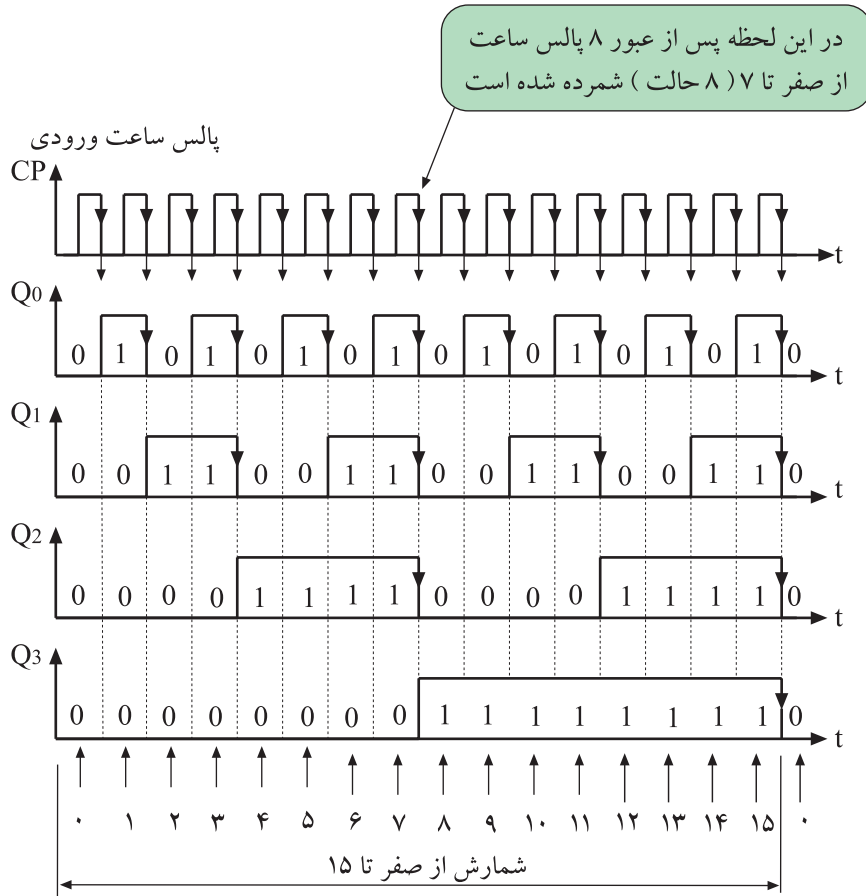
شکل ۲-۸۶-  $J = K = 1$  است لذا در هر لبه نزولی تغییر وضعیت می‌دهد.

مشاهده می‌شود پالس ساعت همه فلیپ فلاپ‌ها از یک منبع تأمین شده است. در فلیپ فلاپ  $FF_0$   $J = K = 1$  است. از این رو  $Q_0$  در هر لبه نزولی پالس ساعت تغییر وضعیت می‌دهد (شکل ۲-۸۶). از طرفی  $Q_1$  به  $J_1$  وصل است لذا  $FF_1$  زمانی تغییر وضعیت می‌دهد که  $Q_0$  در حالت منطقی (۱) باشد (شکل



شکل ۲-۸۷.  $K_1 = J_1 = Q_0$  است.

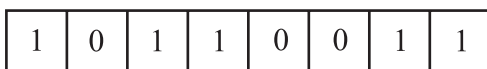
۲-۸۷) چون  $J_2 = K_2 = Q_1 Q_0$  است، FF<sub>۲</sub> زمانی تغییر وضعیت می‌دهد که  $Q_1$  و  $Q_0$  هر دو با هم در حالت منطقی (۱) باشند و در نهایت چون  $J_3 = K_3 = Q_2 Q_1 Q_0$  است، FF<sub>۳</sub> زمانی تغییر وضعیت می‌دهد که  $Q_2$  و  $Q_1$  و  $Q_0$  هر سه با هم در حالت منطقی (۱) باشند. شکل ۲-۸۸ نمودار ارتباط زمانی حافظه‌های این شمارنده را نشان می‌دهد.



شکل ۲-۸۸. دیاگرام زمانی شمارنده

## ۲-۵- بررسی انواع آی‌سی‌های حافظه

۲-۵-۱- بررسی کلی: حافظه مجموعه‌ای از سلول‌ها است که برای ذخیره اطلاعات (داده) به کار می‌رود. معمولاً در حافظه‌ها مدارهایی برای انتقال اطلاعات نیز وجود دارد. واحد حافظه اطلاعات را به صورت ارقام باینری ۰ و ۱ در خود ذخیره می‌کند. شکل ۲-۸۹ حافظه را مانند خانه‌هایی نشان می‌دهد. به هر ۰ و یا ۱ یک بیت گفته می‌شود.



شکل ۲-۸۹. حافظه مانند خانه‌هایی ۰ و ۱ را در خود ذخیره می‌کند.

از هر بایت می توان ۲۵۶ ترکیب به وجود آورد

یک ترکیب ۸ بیتی 

0	1	1	1	0	1	1	0
---	---	---	---	---	---	---	---

یک ترکیب دیگر ۸ بیتی 

1	1	0	1	0	0	0	1
---	---	---	---	---	---	---	---

شکل ۹۰-۲ دو ترکیب متفاوت که شامل ۸ بیت (یک بایت) است.

کلمه از تعدادی بایت تشکیل می شود.

1	1	0	1	0	0	0	1	0	1	1	1	0	1	1	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

شکل ۹۱-۲ یک کلمه دو بایتی

جدول ۲۰-۲ ظرفیت معمول حافظه ها

۱۰۲۴B=۱kB	کیلو بایت
۱۰۲۴kB=۱MB	مگا بایت
۱۰۲۴MB=۱GB	گیگا بایت
۱۰۲۴GB=۱TB	ترا بایت

## ۲-۵-۲- بایت<sup>۱</sup>: هر داده از هر نوعی که باشد (رقم

یا حرف و یا غیره) به صورت ترکیبی از ۰ها و ۱ها کدبندی می شود. معمولاً داده ها در دسته های ۸ تایی سازماندهی می شوند. به هر ۸ بیت یک بایت گویند. هر بایت ۲<sup>۸</sup> یا ۲۵۶ ترکیب مختلف از ۰ها و ۱ها را ایجاد می کند. در شکل ۹۰-۲ دو ترکیب یک بایت نشان داده شده است.

## ۳-۵-۲- کلمه<sup>۲</sup>: گاهی در حافظه ها کلمه به جای بایت

سازماندهی می شود. هر کلمه نسبت به بایت از تعداد بیشتری بیت درست شده است. کلمه معمولاً مضربی از بایت است. مثلاً کلمه ۲ بایتی از ۱۶ بیت و کلمه ۴ بایتی از ۳۲ بیت تشکیل شده است. پس کلمه نشان دهنده گروه کوچکی از داده ها است.

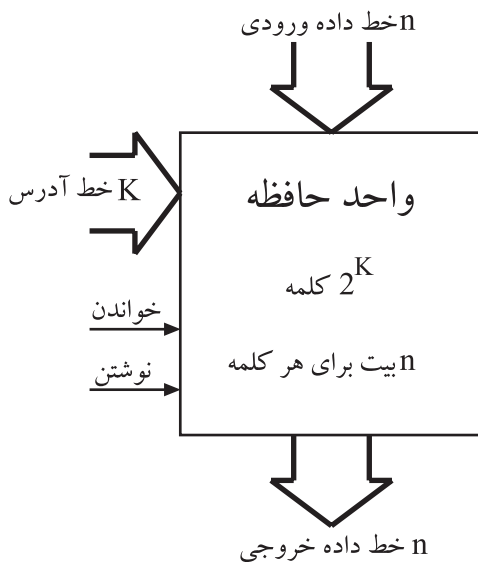
شکل ۹۱-۲ یک کلمه دو بایتی را نشان می دهد.

## ۴-۵-۲- ظرفیت حافظه: ظرفیت هر حافظه معمولاً

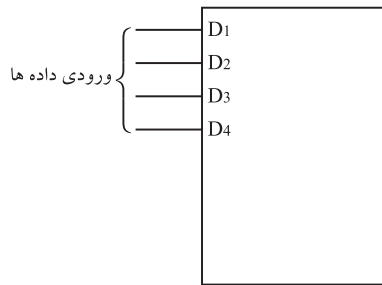
به مجموع تعداد بایت های آن حافظه گفته می شود. حجم حافظه ها معمولاً مضربی از ۱۰۲۴ = ۲<sup>۱۰</sup> بایت است. در جدول ۲۰-۲ ظرفیت معمول حافظه ها نوشته شده است.

## ۵-۵-۲- ارتباط بین حافظه ها و مدارهای خارجی:

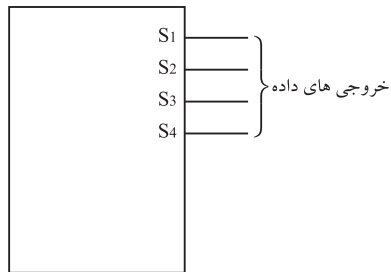
ارتباط بین حافظه با دستگاه ها و مدارهای خارجی از طریق خطوط داده ورودی، خطوط داده خروجی، خطوط آدرس و خطوط کنترل انجام می شود. در شکل ۹۲-۲ بلوک دیاگرام یک واحد حافظه نشان داده شده است. در این شکل برای جلوگیری از رسم تعداد زیاد خط، به جای n خط فقط یک خط ضخیم رسم شده است.



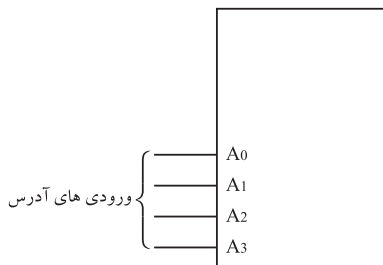
شکل ۹۲-۲ بلوک دیاگرام یک واحد حافظه



شکل ۲-۹۳- چهار خط ورودی داده‌ها



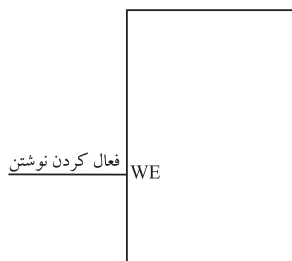
شکل ۲-۹۴- خط‌های خروجی داده‌ها



شکل ۲-۹۵- چهار بیت آدرس یکی از  $2^4 = 16$  کلمه حافظه را انتخاب می‌کند.



شکل ۲-۹۶- فعال‌ساز حافظه یک خط کنترل است



شکل ۲-۹۷- فعال‌ساز خواندن حافظه

ورودی:  $n$  خط داده ورودی، اطلاعاتی را که باید در حافظه ذخیره شود در ورودی حافظه قرار می‌دهد (شکل ۲-۹۳).

خروجی:  $n$  خط داده خروجی اطلاعات را به خارج از حافظه انتقال می‌دهد (شکل ۲-۹۴).

آدرس: تعداد  $k$  خط آدرس، کلمه به خصوصی را از بین کلمات متعدد در حافظه انتخاب می‌کند. بنابراین باید برای انتخاب هر کلمه در داخل حافظه، یک آدرس  $k$  بیتی در خطوط آدرس وجود داشته باشد. یک رمزگشا در داخل حافظه، این آدرس را به عنوان ورودی دریافت می‌کند و مسیرهای لازم را برای کلمه موردنظر باز می‌کند. شکل ۲-۹۵ چهار خط آدرس را نشان می‌دهد.

خطوط کنترل: خطوط کنترل جهت انتقال اطلاعات به کار می‌روند. خطوط کنترل مربوط به نوشتن اطلاعات برای انتقال اطلاعات به حافظه به کار می‌روند. خطوط کنترل مربوط به خواندن، اطلاعات را از حافظه می‌خوانند و خارج می‌کنند. شکل ۲-۹۶ و ۲-۹۷ نمونه‌ای از خطوط کنترل حافظه را نشان می‌دهد.  $ME^1$  خط کنترل فعال‌ساز حافظه است و  $WE^2$  جهت نوشتن یا خواندن حافظه به کار می‌رود. مثلاً اگر  $WE = 0$  باشد داده‌ها در حافظه نوشته می‌شوند. در صورتی که  $WE = 1$  باشد عمل خواندن از

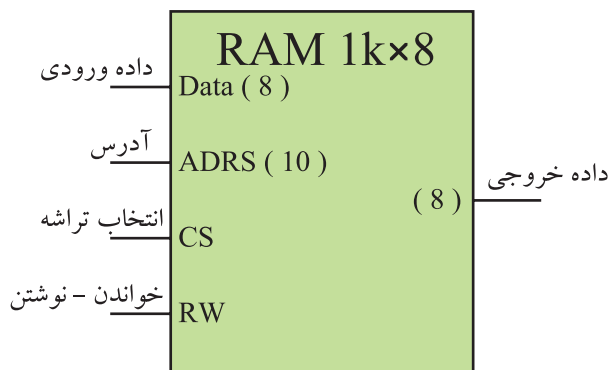


آدرس حافظه		محتوای حافظه
دودویی	دهدهی	
000000000	۰	1011010101011011
000000001	۱	1000010101011011
000000010	۲	1100010111111011
....	....	....
....	....	....
....	....	....
111111101	۱۰۲۱	1000010101111111
111111110	۱۰۲۲	1011010101011011
111111111	۱۰۲۳	1011100100011000

شکل ۲-۹۸- محتوای یک حافظه  $16 \times 1024$  بیتی



شکل ۲-۹۹- آی سی های RAM در یک کامپیوتر



شکل ۲-۱۰۰- نماد بلوکی تراشه یک RAM

حافظه انجام می شود. برای مثال حافظه ای با ظرفیت یک کیلوبایت کلمه ۱۶ بیتی را در نظر می گیریم. این حافظه به صورت  $16 \times 1K$  یا  $16 \times 1024$  بیت نشان داده می شود. این حافظه را همراه با آدرس هر کلمه می توان مطابق شکل ۲-۹۸ نشان داد. در شکل فقط سه کلمه اول و سه کلمه آخر نوشته شده است.

## ۲-۵-۶- انواع حافظه: حافظه ها براساس نحوه ی

ذخیره سازی اطلاعات و چگونگی دسترسی به آنها به انواع مختلف تقسیم بندی می شوند.

## ۲-۵-۷- حافظه با دست یابی تصادفی یا RAM:

این حافظه یک نوع حافظه موقتی برای نگه داری اطلاعات و داده ها است. چون دست یابی به داده موجود در این حافظه به محل قرار گرفتن آن بستگی ندارد و اصولاً می توان به هر سلول حافظه در هر محل تصادفی در حافظه دسترسی داشت، به این نوع حافظه، حافظه با دست یابی تصادفی (RAM) می گویند. شکل ۲-۹۹ چند نمونه RAM را نشان می دهد. اطلاعات ذخیره شده در RAM پاک شدنی است و پس از پاک کردن RAM می توان داده های جدیدی را در آن جایگزین کرد. به عبارت دیگر RAM تابلویی است که می توان بارها روی آن نوشت و پاک کرد. با قطع برق تمام محتوای این حافظه از بین می رود. به همین جهت این نوع حافظه را حافظه موقتی می نامند. شکل ۲-۱۰۰ نماد بلوکی یک تراشه RAM را نشان می دهد.

ظرفیت این حافظه  $1024$  کلمه و هر کلمه دارای ۸ بیت است.

برای  $1024$  کلمه به ۱۰ خط آدرس نیاز است. داده های ورودی ۸ خط و داده خروجی نیز ۸ خط دارد. خطوط ورودی، آدرس و خروجی در دیاگرام شکل ۲-۱۰۰ برای اختصار با یک خط نشان داده شده است.