

آزمایش شماره ۸

زمان اجرا ۱۲ ساعت آموزشی

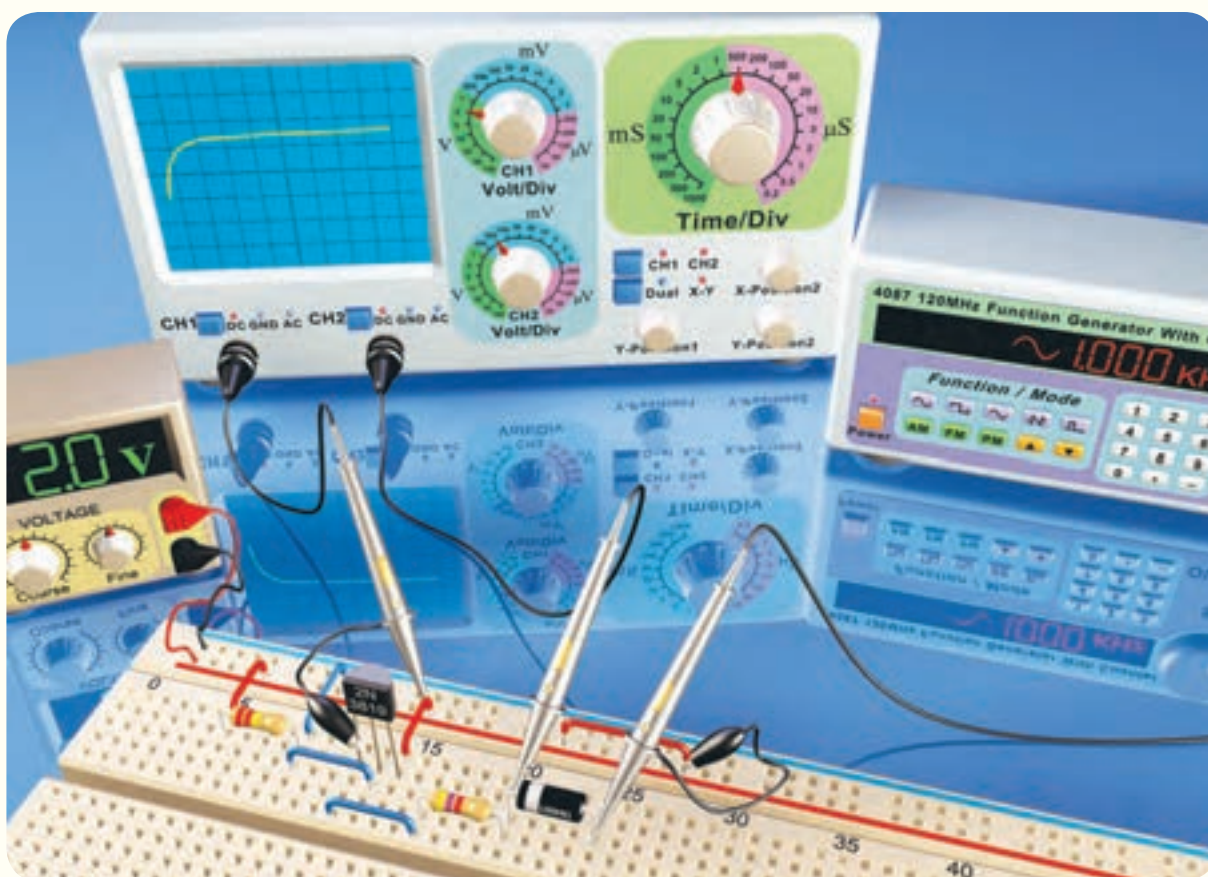


ترانزیستور اثر میدان پیوندی (JFET) Junction Field Effect Transistor

هدف کلی آزمایش



اجرای عملی نحوه‌ی تقویت سیگنال توسط ترانزیستور JFET





هدف‌های رفتاری

در پایان این آزمایش از فراگیرنده انتظار می‌رود که :

- ۱- از Data Sheet به منظور استخراج اطلاعات کاربردی JFET استفاده کند.
- ۲- به کمک مولتی‌متر پایه‌های ترانزیستور JFET را شناسایی کند.
- ۳- به وسیله‌ی منحنی‌نگار، منحنی مشخصه‌ی خروجی JFET را به دست آورد (در صورت موجود بودن دستگاه).
- ۴- مشخصه‌ی خروجی ترانزیستور را به کمک اسیلوسکوپ مشاهده و ترسیم کند.
- ۵- نقطه‌ی کار ترانزیستور را به کمک مشخصه‌ی خروجی اندازه بگیرد.
- ۶- مدار تقویت‌کننده‌ی سورس مشترک را به صورت سلف بایاس ببندد.
- ۷- مقادیر بهره‌ی ولتاژ و امپدانس خروجی تقویت‌کننده را اندازه بگیرد.
- ۸- اختلاف فاز ولتاژهای ورودی و خروجی تقویت‌کننده‌ی سورس مشترک را به کمک اسیلوسکوپ و از طریق ترسیم شکل موج اندازه بگیرد.
- ۹- مدار تقویت‌کننده‌ی سورس مشترک را با بایاس تقسیم‌کننده‌ی ولتاژ مقاوم‌تری ببندد.
- ۱۰- نقطه‌ی کار تقویت‌کننده را اندازه بگیرد.
- ۱۱- کلیه‌ی مدارها را با استفاده از نرم‌افزار شبیه‌سازی کند.
- ۱۲- اهداف تعیین شده در حیطه‌ی عاطفی که در آزمایش (۱) آمده است را اجرا کند.
- ۱۳- گزارش کار مستند و دقیق بنویسد.
- ۱۴- به سؤال‌های الگوی پرسش پاسخ دهد.

۸-۱-۸- اطلاعات اولیه

است، به همین دلیل به ترانزیستورهای «تک پیوندی» یا «یک قطبی» Unipolar نیز مشهورند.

ترانزیستورهای FET بر دو نوع‌اند: یکی «JFET» که قبلاً توضیح داده شد و دیگری «MOSFET» که طرز ساخت آن با نوع JFET فرق می‌کند.

۸-۱-۲- ساختمان داخلی ترانزیستورهای JFET

برای ساختن ترانزیستور JFET، ابتدا یک نیمه‌هادی، برای مثال از نوع N انتخاب می‌نمایند، سپس دو نیمه‌هادی نوع P را در امتداد دو طرف به آن متصل می‌کنند، (شکل ۸-۱). دو پایه از دو طرف نیمه‌هادی نوع N بیرون می‌آید که یکی S (Source) و دیگری D (Drain) است. به نیمه‌هادی‌های نوع P که در دو طرف قرار دارند، دو پایه اتصال داده می‌شود که به آن‌ها G یا «Gate» می‌گویند. در نتیجه این ترانزیستور دارای دو گیت G_1 و G_2 است. لایه‌ی N را در این ترانزیستور، کانال N (N-Channel) می‌نامند.

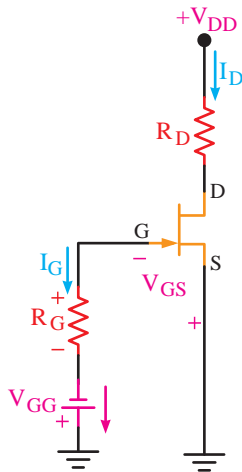
۸-۱-۱- ترانزیستورهای JFET که از نظر ساختمان، با ترانزیستورهای معمولی تفاوت دارند و به دلیل مقاومت ورودی بسیار زیاد، پایداری حرارتی خوب و تولید پارازیت کم، کاربرد بیش‌تری دارند. این مزایا موجب می‌شود تا از آن‌ها در ساخت مدارهای مجتمع استفاده شود. ترانزیستورهای معمولی که به دلیل ساختار فیزیکی آن‌ها، دو پیوندی یا BJT (Bipolar Junction Transistor) نامیده می‌شوند، عناصری کنترل شده با جریان هستند؛ یعنی جریان بیس ترانزیستور، جریان کلکتور آن را کنترل می‌کند. برای برقراری جریان در اتصال کلکتور باید جریان بیس به اندازه‌ای برسد که ناحیه‌ی تخلیه‌شده یا سد پتانسیل پیوند بیس امیتر کاملاً شکسته شود. در این نوع ترانزیستور، جریان ورودی زیاد باعث می‌شود که مقاومت ورودی ترانزیستور BJT نسبتاً کم باشد. ترانزیستورهای اثر میدان، ساختمان ساده‌تری نسبت به ترانزیستورهای دو پیوندی دارند. این قطعات عناصری کنترل شده با ولتاژ هستند و در ساختمان آن‌ها فقط از دو نوع نیمه‌هادی استفاده شده

۳-۱-۸- انواع روش‌های تغذیه‌ی JFET

مشابه ترانزیستورهای BJT برای ترانزیستورهای JFET روش‌های زیر وجود دارد:

- تغذیه (بایاسینگ) با دو منبع مستقل یا بایاسینگ ثابت
- بایاس (تغذیه) سرخود یا سلف بایاس
- تغذیه (بایاس) با مدار تقسیم‌کننده‌ی ولتاژ

در شکل ۸-۴ مدار بایاسینگ مستقل یا بایاسینگ ثابت نشان داده شده است.



شکل ۸-۴- بایاسینگ مستقل ترانزیستور JFET

در این مدار به علت ناچیز بودن جریان گیت می‌توان از آن صرف‌نظر کرد. بنابراین در حلقه‌ی ورودی داریم:

$$+V_{GG} - V_{GS} - I_G R_G = 0$$

$$V_{GG} - V_{GS} - (0) R_G = 0$$

$$V_{GG} = V_{GS}$$

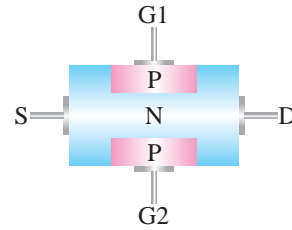
با توجه به شکل ۸-۴، مقدار V_{GS} برابر V_{GG} و گیت

نسبت به سورس منفی است.

در شکل ۸-۵ مدار تأمین بایاس سرخود یا سلف بایاس برای یک ترانزیستور JFET کانال N نشان داده شده است. چون $I_G = 0$ است، بنابراین در حلقه‌ی ورودی داریم:

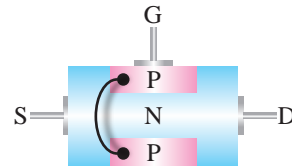
$$V_{GS} + R_S I_D = 0$$

$$V_{GS} = -R_S I_D$$



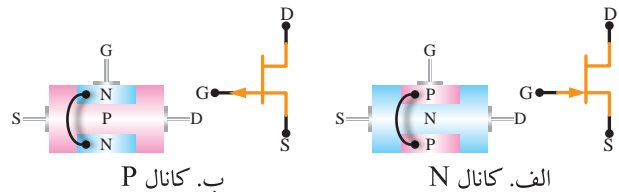
شکل ۸-۱- ساختمان داخلی ترانزیستور JFET با دو گیت

ترانزیستورهای FET با دو گیت به صورت مخلوط‌کننده‌ی دو سیگنال به کار می‌رود. با اتصال G_1 و G_2 به یکدیگر ترانزیستور JFET با یک گیت شکل می‌گیرد. این نوع ترانزیستورها دارای سه پایه‌ی S، D و G هستند (شکل ۸-۲).



شکل ۸-۲- ترانزیستور JFET با یک گیت

ترانزیستورهای JFET با توجه به نوع نیمه‌هادی به کار رفته در کانال در دو نوع "کانال N" و "کانال P" ساخته می‌شوند. در شکل ۸-۳ الف و ب ساختمان داخلی و نماد فنی ترانزیستورهای JFET با کانال نوع N و نوع P را مشاهده می‌کنید.

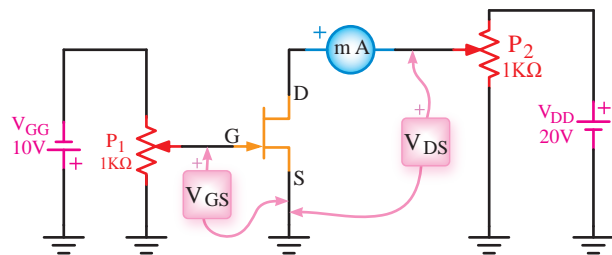


شکل ۸-۳- شمای فنی و ساختمان داخلی ترانزیستورهای JFET، کانال N و کانال P

اگر بخواهیم ترانزیستورهای JFET را با ترانزیستورهای معمولی مقایسه کنیم می‌توان گفت: «درین متناظر با کلکتور، سورس متناظر با امیتر و گیت متناظر با بیس است.»

۸-۱-۴- منحنی‌های مشخصه‌ی JFET

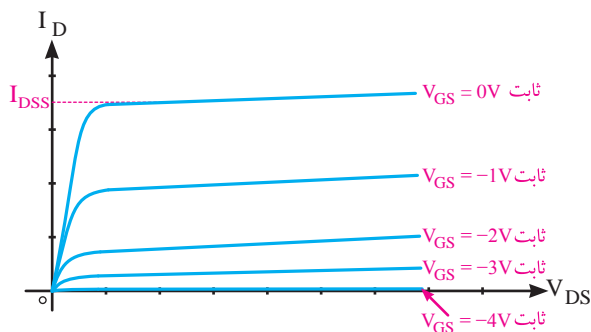
در شکل ۷-۸ تغذیه‌ی ترانزیستور JFET با دو منبع مستقل نشان داده شده است. در ترانزیستور JFET تغییرات جریان درین به دو عامل « V_{GS} » و « V_{DS} » بستگی دارد. برای مشخص کردن میزان این وابستگی به هر یک از دو عامل، باید یکی از آن دو عامل را ثابت نگاه داریم و اثر تغییرات عامل دیگر را بر جریان درین در دو حالت بررسی نماییم. مدار شکل ۷-۸ برای به دست آوردن منحنی مشخصه‌های JFET مناسب است.



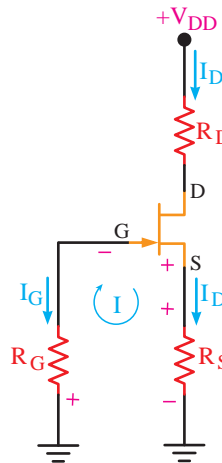
شکل ۷-۸- یک نمونه مدار آزمایشی برای به دست آوردن مشخصه‌های JFET

حالت اول:

مقدار V_{GS} را ثابت نگه می‌داریم. سپس با تغییر پتانسیومتر P_2 مقدار V_{DS} را تنظیم می‌کنیم و جریان I_D را در حالات مختلف اندازه می‌گیریم. با استفاده از مقادیر اندازه‌گیری شده منحنی خروجی ترانزیستور JFET (تغییرات I_D بر حسب V_{DS} وقتی V_{GS} ثابت است) را ترسیم می‌کنیم (شکل ۸-۸).



شکل ۸-۸- منحنی مشخصه‌ی خروجی JFET



شکل ۵-۸- بایاس سرخود ترانزیستور JFET

توجه: این مدار با مدار بایاسینگ ترانزیستور BJT با یک باتری قابل مقایسه است.

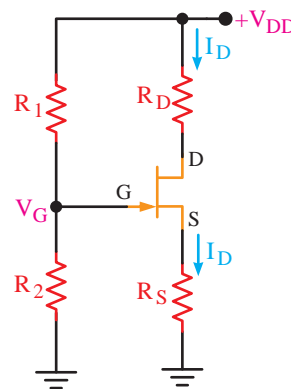
در شکل ۶-۸ تغذیه‌ی JFET با روش تقسیم ولتاژ نشان داده شده است. مقاومت‌های R_1 و R_2 به مقاومت‌های تقسیم ولتاژ معروف‌اند.

با توجه به مدار تقسیم‌کننده‌ی ولتاژ و ناچیز بودن جریان گیت، مقدار ولتاژ V_G برابر است با:

$$V_G = \frac{R_2}{R_1 + R_2} V_{DD}$$

با نوشتن معادله‌ی حلقه‌ی گیت-سورس (R_S, I_D, V_{GS} و R_2) مقدار V_G قابل محاسبه است.

$$V_{GS} = V_G - R_S I_D$$



توجه: این مدار با مدار بایاس سرخود ترانزیستور BJT (تقسیم‌کننده‌ی ولتاژ مقاومتی) قابل مقایسه است.

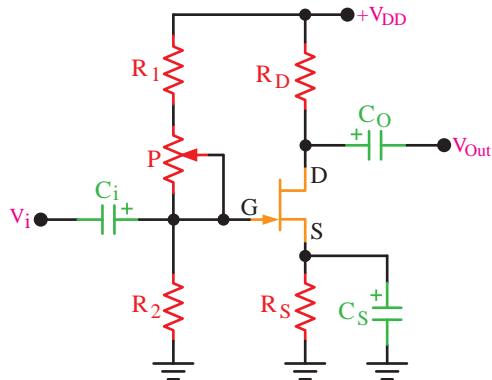
شکل ۶-۸- مدار بایاس ترانزیستور JFET با تقسیم‌کننده‌ی ولتاژ مقاومتی

حالت دوم:

• امپدانس ورودی مدار تقریباً برابر با $R_i = R_G$

• امپدانس خروجی برابر با $R_O = R_D$

برای تأمین بایاس تقویت‌کننده‌ی سورس مشترک می‌توان از بایاس تقسیم ولتاژ مقاومتی نیز استفاده کرد (شکل ۸-۱۱).



شکل ۸-۱۱- تقویت‌کننده‌ی سورس مشترک به صورت تقسیم ولتاژ مقاومتی

۸-۲- نکات ایمنی

کلیه‌ی نکات ایمنی مندرج در آزمایش شماره‌ی ۱، ۴، و ۵ را مجدداً مرور کنید و آن‌ها را هنگام اجرای این آزمایش رعایت نمایید.

۸-۳- اجرای آزمایش‌ها به صورت

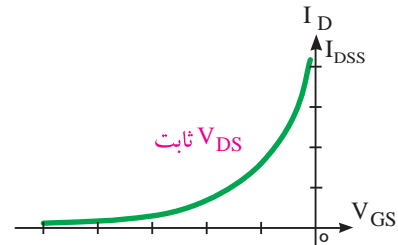
نرم‌افزاری

توجه کنید

پاسخ مواردی که با ستاره مشخص شده است را در کتاب گزارش کار و فعالیت‌های آزمایشگاهی درج نمایید.

★ ۸-۳-۱- هدف کلی آزمایش را در کتاب گزارش کار و فعالیت‌های آزمایشگاهی بنویسید.

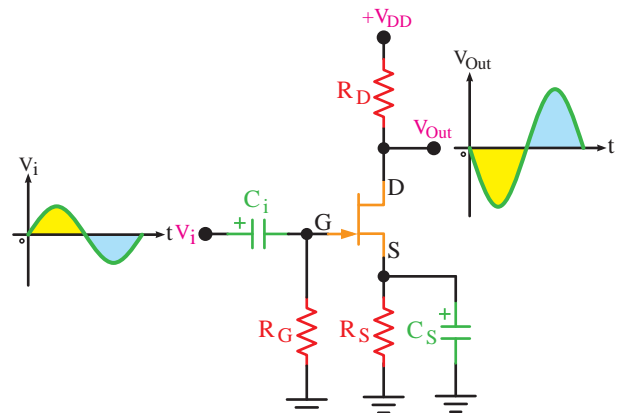
مقدار V_{DS} را ثابت نگه‌می‌داریم. سپس با تغییر پتانسیومتر P_1 مقادیر مختلف V_{GS} و I_D را به دست می‌آوریم. با استفاده از مقادیر به دست آمده مشخصه‌ی انتقالی (تغییرات I_D بر حسب V_{GS} وقتی V_{DS} ثابت است) را ترسیم می‌کنیم (شکل ۸-۹).



شکل ۸-۹- مشخصه‌ی انتقالی JFET

۸-۱-۵- تقویت‌کننده‌ی سورس مشترک

در شکل ۸-۱۰ مدار تقویت‌کننده‌ی سورس مشترک با ترانزیستور JFET (کانال N) نشان داده شده است. تأمین بایاس ترانزیستور از نوع تغذیه سرخود است.



شکل ۸-۱۰- تقویت‌کننده‌ی سورس مشترک به صورت سلف بایاس

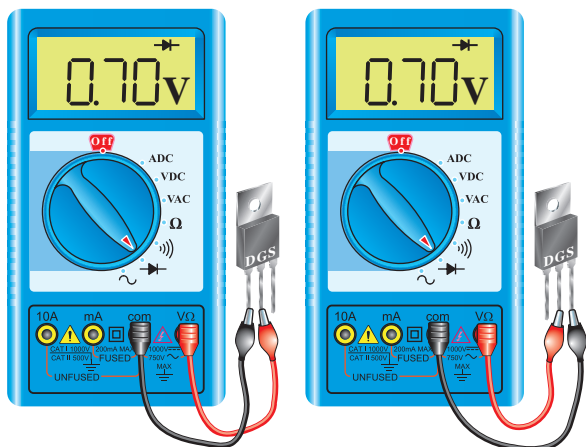
مشخصات این تقویت‌کننده به شرح زیر است:

- اختلاف فاز بین V_O و V_i برابر با 180° درجه
- بهره‌ی تقریبی ولتاژ $A_V = -g_m R_D$ (بهره‌ی هدایت انتقالی ترانزیستور و برابر با نسبت I_D به V_{GS} است)

- ۱- دستگاه - منبع تغذیه DC
- ۱- دستگاه - سیگنال ژنراتور صوتی
- ۱- دستگاه - مولتی متر دیجیتال
- ۱- عدد - بردبرد
- ۱- عدد - ترانزیستور JFET موجود در بازار
- ۱- عدد - دیود 1N4001 یا معادل آن
- ۳- عدد - خازن 25V، 100μF
- مقاومت‌های 1KΩ، 2/2KΩ، 4/7KΩ، 220KΩ و 470KΩ با قدرت مجاز 1/4 W از هر کدام ۱ عدد
- تجهیزات، ابزار و مواد عمومی

۵-۸- مراحل اجرای آزمایش

- ۱-۵-۸- با استفاده از برگه‌ی اطلاعات شماره‌ی یک، مشخصه‌های خواسته شده را تعیین کنید و در جدول ۲-۸ بنویسید.
- ۲-۵-۸- با استفاده از برگه‌ی اطلاعات شماره‌ی یک مشخصات پایه‌های JFET با شماره‌ی 2N3819 را مشخص کنید.
- ۳-۵-۸- با توجه به JFET‌های موجود در بازار یک عدد JFET در اختیار بگیرید.
- ۴-۵-۸- با استفاده از مولتی متر دیجیتالی طبق شکل ۱۳-۸ پایه‌ای را پیدا کنید که با دو پایه‌ی دیگر به صورت یک دیود در بایاس موافق عمل کند.



شکل ۱۳-۸- پیدا کردن پایه‌ی گیت در ترانزیستور JFET

۲-۳-۸- هنرجویان عزیز به مدارهای شبیه‌سازی شده‌ی تقویت کننده‌های ترانزیستوری که توسط مربی آزمایشگاه نمایش داده می‌شود توجه نمایید و نحوه‌ی شبیه‌سازی را فرابگیرید.

۳-۳-۸- با مراجعه به جلد دوم کتاب آزمایشگاه مجازی، ابتدا نرم‌افزار مولتی سیم را روی کامپیوتر خود نصب کنید. سپس اقدام به شبیه‌سازی مدارها نمایید.

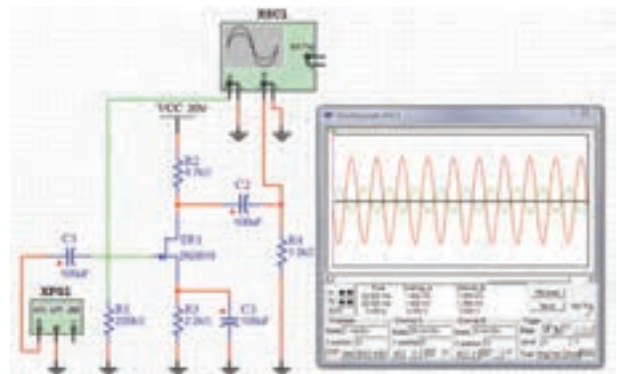
۴-۳-۸- نقشه‌ی پرینت شده‌ی یکی از مدارهای شبیه‌سازی شده را در محل تعیین شده در کتاب گزارش کار و فعالیت‌های آزمایشگاهی بچسبانید.

۵-۳-۸- برای مدار سورس مشترک نرم‌افزاری، مقادیر ولتاژ نقاط کار DC را در جدول ۱-۸ بنویسید.

۶-۳-۸- تقویت کننده در چه کلاسی قرار دارد؟ شرح دهید. (کلاس‌های تقویت کننده با ترانزیستور FET مشابه ترانزیستور BJT است)

۷-۳-۸- فایل‌های مربوط به مدارهای شبیه‌سازی شده را در CD ذخیره کنید و تحویل مربی کارگاه دهید.

۸-۳-۸- یک نمونه مدار شبیه‌سازی شده را در شکل ۱۲-۸ ملاحظه می‌کنید.



شکل ۱۲-۸- یک نمونه مدار شبیه‌سازی شده‌ی تقویت کننده‌ی JFET

۴-۸- قطعات و تجهیزات مورد نیاز

- ۱- دستگاه - اسیلوسکوپ دو کاناله
- ۱- دستگاه - منحنی نگار (در صورتی که موجود است)

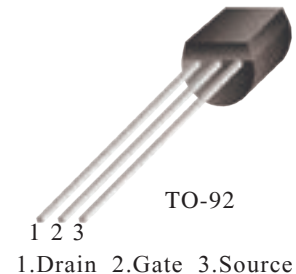
روی ترانزیستور مورد آزمایش توضیح دهید.
 ۸-۵-۶- تشخیص پایه‌ی درین و سورس با استفاده
 از برگه‌ی اطلاعات ترانزیستور JFET امکان‌پذیر است.

۸-۵-۵- پایه‌ای که نسبت به دو پایه‌ی دیگر
 به‌صورت دیود عمل می‌کند پایه‌ی گیت است. نتایج به
 دست آمده را با ترسیم شکل FET و تعیین پایه‌ی گیت

2N3819

N-Channel RF Amplifier

- This device is designed for RF amplifier and mixer applications operating up to 450MHz, and for analog switching requiring low capacitance.
- Sourced from process 50.



Epitaxial Silicon Transistor:

► Absolute Maximum Ratings* $T_C = 25^\circ\text{C}$ unless otherwise noted

Symbol	Parameter	Ratings	Units
V_{DG}	Drain-Gate Voltage	25	V
V_{GS}	Gate-Source Voltage	-25	V
I_D	Drain Current	50	mA
I_{GF}	Forward Gate Current	10	mA
T_{STG}	Storage Temperature Range	-55 to 150	$^\circ\text{C}$

* This ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

NOTES:

- These rating are based on a maximum junction temperature of 150 degrees C.
- These are steady limits. The factory should be consulted on applications involving pulsed or low duty cycle operations.

► Electrical Characteristics $T_C = 25^\circ\text{C}$ unless otherwise noted

Symbol	Parameter	Test Condition	Min.	Typ.	Max.	Units
□ Off Characteristics						
$V_{(BR)GSS}$	Gate-Source Breakdown Voltage	$I_G = 1.0\mu\text{A}$, $V_{DS} = 0$	25			V
I_{GSS}	Gate Reverse Current	$V_{GS} = -15\text{V}$, $V_{DS} = 0$			2.0	nA
$V_{GS(off)}$	Gate-Source Cutoff Voltage	$V_{DS} = 15\text{V}$, $I_D = 2.0\text{nA}$			8.0	V
V_{GS}	Gate-Source Voltage	$V_{DS} = 15\text{V}$, $I_D = 200\mu\text{A}$	-0.5		-7.5	V
□ On Characteristics						
I_{DSS}	Zero Gate Voltage Drain Current	$V_{DS} = 15\text{V}$, $V_{GS} = 0$	2.0		20	mA
□ Small Signal Characteristics						
g_{fs}	Forward Transfer Conductance	$V_{DS} = 15\text{V}$, $V_{GS} = 0$, $f = 1.0\text{KHz}$	2000		6500	μmhos
g_{oss}	Output Conductance	$V_{DS} = 15\text{V}$, $V_{GS} = 0$, $f = 1.0\text{KHz}$			50	μmhos
Y_{fs}	Forward Transfer Admittance	$V_{DS} = 15\text{V}$, $V_{GS} = 0$, $f = 1.0\text{KHz}$	1600			μmhos
C_{iSS}	Input Capacitance	$V_{DS} = 15\text{V}$, $V_{GS} = 0$, $f = 1.0\text{KHz}$			8.0	pF
C_{rSS}	Reverse Transfer Capacitance	$V_{DS} = 15\text{V}$, $V_{GS} = 0$, $f = 1.0\text{KHz}$			4.0	pF

برگه‌ی اطلاعات شماره‌ی ۱



معرفی وبسایت

★ ۷-۵-۸- با مراجعه به سایت اینترنتی www.alldatasheet.com برگه‌ی اطلاعات ترانزیستور مورد آزمایش را پیدا کنید و پایه‌های درین و سورس را مشخص نمایید.



تحقیق کنید

★ ۸-۵-۸- آیا با استفاده از اهم‌تر می‌توان پایه‌های D و S را تشخیص داد؟ در صورتی که در مدار تقویت‌کننده، پایه‌های درین و سورس جا به جا شود، چه اشکالی به‌وجود می‌آید؟ شرح دهید.

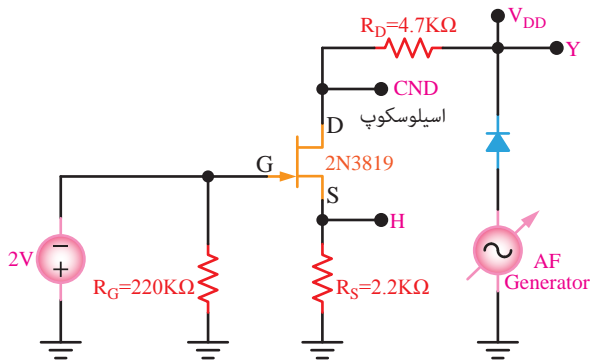


توجه کنید

در صورتی که دستگاه منحنی‌نگار (Curve Tracer) در اختیار دارید مرحله‌ی ۹-۵-۸ را انجام دهید.

★ ۹-۵-۸- در صورتی که دستگاه منحنی‌نگار در اختیار دارید، با مراجعه به راهنمای کاربرد دستگاه، منحنی خروجی JFET مورد آزمایش را روی صفحه‌ی اسیلوسکوپ مشاهده و در نمودار ۱-۸ ترسیم کنید. توجه داشته باشید که مقیاس محورها باید صحیح انتخاب شود.

★ ۱۰-۵-۸- مدار شکل ۱۴-۸ را روی بردبرد ببندید. مدار را در کتاب گزارش‌کار رسم کنید. این مدار از بسیاری جهات مشابه مدار شکل ۱۱-۴ است که برای مشاهده‌ی منحنی مشخصه‌ی خروجی ترانزیستور BJT در آزمایش ۴ بسته‌اید.



شکل ۱۴-۸- مدار ترسیم منحنی مشخصه‌ی خروجی JFET

۱۱-۵-۸- سیگنال ژنراتور AF را روی فرکانس ۵۰۰ هرتز و دامنه‌ی ماکزیمم قرار دهید.

نکته‌ی مهم



برای اجرای این آزمایش نباید سیم مشترک (زمین-شاسی) دستگاه‌های منبع تغذیه، اسیلوسکوپ و سیگنال ژنراتور AF به هم وصل باشد. در صورتی که میز آزمایشگاهی شما دارای سیستم، ارتینگ و اتصال مشترک سیم زمین است، قبل از اجرای آزمایش عمل جداسازی سیم‌های مشترک را انجام دهید.

در مدار شکل ۱۴-۸، روی محور افقی اسیلوسکوپ ولتاژ درین سورس و روی محور قائم جریان درین ظاهر می‌شود. در صورت نیاز ولتاژ تغذیه‌ی DC گیت را تغییر دهید.

۱۲-۵-۸- اسیلوسکوپ را روی حالت XY قرار دهید و مقادیر V/Div را به گونه‌ای تنظیم کنید که منحنی خروجی JFET با مقیاس مناسب روی صفحه‌ی اسیلوسکوپ ظاهر شود.

★ ۱۳-۵-۸- منحنی ظاهر شده روی صفحه‌ی اسیلوسکوپ را با مقیاس مناسب در نمودار ۲-۸ ترسیم کنید.

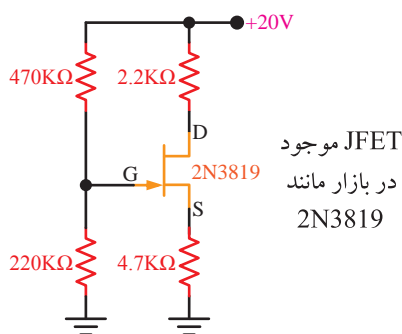
باید روی اسیلوسکوپ شکلی مشابه شکل ۱۵-۸ ظاهر شود.

★ ۱۷-۵-۸- به وسیله‌ی مولتی‌متر DC ولتاژهای V_S ، V_D و V_G را نسبت به نقطه‌ی مبنا (شاسی) اندازه بگیرید و مقادیر را یادداشت نمایید.

★ ۱۸-۵-۸- با توجه به نتایج آزمایش ۱۷-۵-۸ مقادیر I_D و I_G را محاسبه کنید:

$$I_D = \frac{V_0 - V_D}{4/7K\Omega}, \quad I_G = \frac{V_G}{220K\Omega}$$

★ ۱۹-۵-۸- مدار شکل ۱۷-۸ را روی برد برد ببندید و آن را مجدداً رسم کنید.

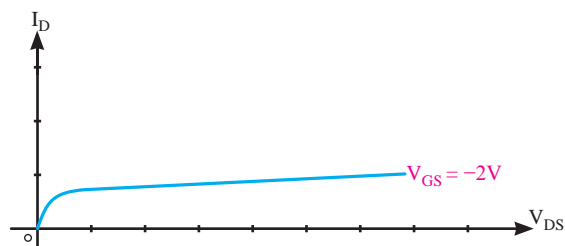


شکل ۱۷-۸- مدار تقسیم ولتاژ مقاومتی در تقویت‌کننده‌ی سورس مشترک

★ ۲۰-۵-۸- با مولتی‌متر DC ولتاژهای V_S ، V_D و V_G را نسبت به شاسی و V_{DS} را اندازه بگیرید و یادداشت نمایید.

★ ۲۱-۵-۸- با توجه به نتایج آزمایش ۲۰-۵-۸ مقدار I_D را از رابطه‌ی $I_D = \frac{V_0 - V_D}{2/2K\Omega}$ محاسبه کنید.

★ ۲۲-۵-۸- مدار شکل ۱۸-۸ را روی برد برد ببندید و آن را مجدداً رسم کنید.



شکل ۱۵-۸- منحنی مشخصه‌ی خروجی JFET

مقدار ولتاژ DC گیت سورس باید برابر با ولتاژ منبع باشد.



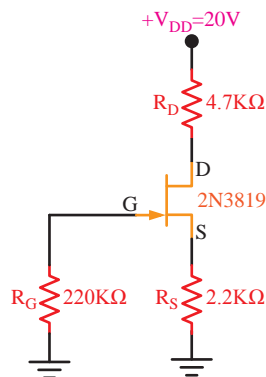
توجه کنید

با توجه به نوع اسیلوسکوپ و ترانزیستور JFET انتخاب شده، ممکن است نیاز به تغییر مقادیر تنظیم شده باشد. لذا لازم است با توجه به شرایط و امکاناتی که در اختیار دارید، تنظیمات را تغییر دهید.

★ ۱۴-۵-۸- مقدار دامنه‌ی خروجی سیگنال ژنراتور را تغییر دهید و اثر آن را روی منحنی خروجی مشاهده کنید. نتایج حاصل از مشاهدات خود را بنویسید.

★ ۱۵-۵-۸- روی منحنی خروجی ترانزیستور JFET که در مرحله‌ی ۱۳-۵-۸ ترسیم کرده‌اید نقطه‌ی کار Q را انتخاب کنید و مختصات آن را بنویسید.

★ ۱۶-۵-۸- مدار شکل ۱۶-۸ را روی برد برد ببندید. مدار را در کتاب گزارش کار مجدداً رسم کنید.



شکل ۱۶-۸- مدار تغذیه‌ی سر خود ترانزیستور JFET

★ ۲۹-۵-۸- با استفاده از اسیلوسکوپ اختلاف فاز بین ولتاژهای V_{i} و V_{Out} را اندازه‌گیری کنید. مقدار دقیق آن را یادداشت نمایید. دلیل وجود اختلاف فاز را توضیح دهید.

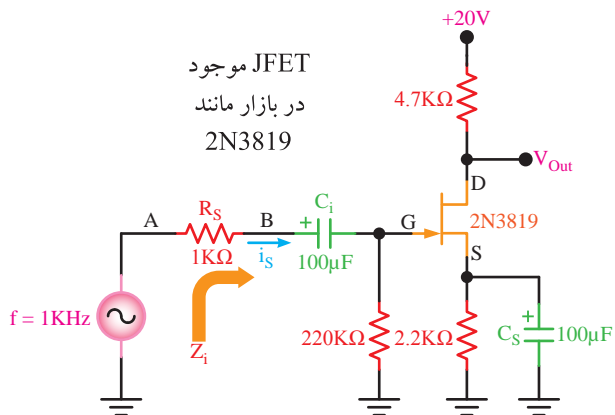
★ ۳۰-۵-۸- خازن C_S را بردارید و شکل موج‌های ورودی و خروجی را در این حالت نیز در نمودار ۴-۸ ترسیم کنید. از هر دو کانال اسیلوسکوپ استفاده کنید.

★ ۳۱-۵-۸- مقادیر V_{iPP} و V_{OPP} را اندازه بگیرید و یادداشت نمایید.

★ ۳۲-۵-۸- با توجه به مقادیر اندازه‌گیری شده، مقدار بهره‌ی ولتاژ مدار را از رابطه‌ی $A_V = \frac{V_{OPP}}{V_{iPP}}$ محاسبه کنید.

★ ۳۳-۵-۸- با حذف خازن C_S بهره‌ی ولتاژ زیاد می‌شود یا کم؟ چرا؟

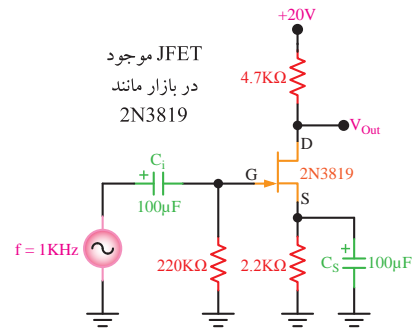
★ ۳۴-۵-۸- خازن C_S را در مدار قرار دهید و مقاومت $R_S = 1K\Omega$ را مطابق شکل ۱۹-۸ با خازن C_i سری کنید. مدار را مجدداً رسم کنید.



شکل ۱۹-۸- مدار تقویت‌کننده‌ی سورس مشترک

★ ۳۵-۵-۸- به‌وسیله‌ی اسیلوسکوپ دامنه‌ی پیک‌تاپیک سیگنال نقاط A و B را نسبت به نقطه‌ی زمین اندازه بگیرید و یادداشت نمایید.

★ ۳۶-۵-۸- با توجه به مقدار ولتاژ اندازه‌گیری شده بین نقاط A و B مقدار جریان I_S که از R_S عبور



شکل ۱۸-۸- بررسی تقویت سیگنال در تقویت‌کننده‌ی سورس مشترک بایاس سرخود

★ ۲۳-۵-۸- سیگنال ژنراتور را خاموش کنید و مقادیر V_{DS} ، V_{GS} ، V_G ، V_S ، V_D را با مولتی‌متر DC اندازه‌گیری و یادداشت کنید.

★ ۲۴-۵-۸- با توجه به مقادیر اندازه‌گیری شده در مراحل قبل، مشخصات نقطه‌ی کار ترانزیستور را با استفاده از روابط زیر محاسبه کنید:

$$I_{DQ} = \frac{V_{DD} - V_{DSQ}}{R_D + R_{S_{eq}}}, \quad V_{DSQ} = V_D - V_S$$

$$V_{GSQ} = V_G - V_S$$

★ ۲۵-۵-۸- آیا V_{DSQ} اندازه‌گیری شده با V_{DSQ} محاسبه شده انطباق دارد؟ شرح دهید.

★ ۲۶-۵-۸- سیگنال ژنراتور را روشن کنید و دامنه‌ی سیگنال سینوسی خروجی آن را به گونه‌ای تنظیم کنید که اعوجاج نداشته باشد.

★ ۲۷-۵-۸- به‌وسیله‌ی اسیلوسکوپ شکل موج سیگنال روی گیت و درین را نسبت به زمین در نمودار ۳-۸ ترسیم کنید و مقدار پیک‌تاپیک آن را اندازه‌گیری نمایید. برای ترسیم شکل موج از اسیلوسکوپ دو کاناله استفاده کنید و هنگام ترسیم، مقیاس و زاویه‌ی فاز را در نظر بگیرید.

★ ۲۸-۵-۸- با توجه به نتایج آزمایش قبل، مقدار بهره‌ی ولتاژ را از رابطه‌ی $A_V = \frac{V_{OPP}}{V_{iPP}}$ محاسبه کنید.

با استفاده از رابطه‌ی $Z_O = \frac{V_{ONL} - V_{OFL}}{V_{OFL}} \times R_L$ مقدار امپدانس خروجی را محاسبه کنید.

★ ۸-۶- نتایج آزمایش

آن چه را که در این آزمایش آموخته‌اید به طور خلاصه جمع‌بندی کنید.

الگوی پرسش

★ ۸-۷- الگوی پرسش

۸-۷-۱- با توجه به مقادیر به دست آمده در ارتباط با بایاس دیود گیت سورس در تقویت‌کننده‌ی سورس مشترک، کدام گزینه در مورد بایاس دیود گیت سورس صحیح است؟ توضیح دهید.

- بایاس مستقیم بایاس معکوس
 بایاس صفر بستگی به نوع مدار دارد

۸-۷-۲- در شکل ۸-۱۶ ولتاژ «گیت سورس» چگونه تأمین می‌شود؟ شرح دهید.

۸-۷-۳- با توجه به نتایج آزمایش‌ها، آیا مقدار V_{GS} در دو مدار ۸-۱۶ و ۸-۱۷ برابر است؟ چرا؟ شرح دهید.

۸-۷-۴- با توجه به شکل ۸-۱۸ و مقدار A_V در مرحله‌ی ۸-۵-۲۸ مقدار g_m ترانزیستور FET را از رابطه‌ی $A_V = -g_m R_D$ محاسبه کنید.

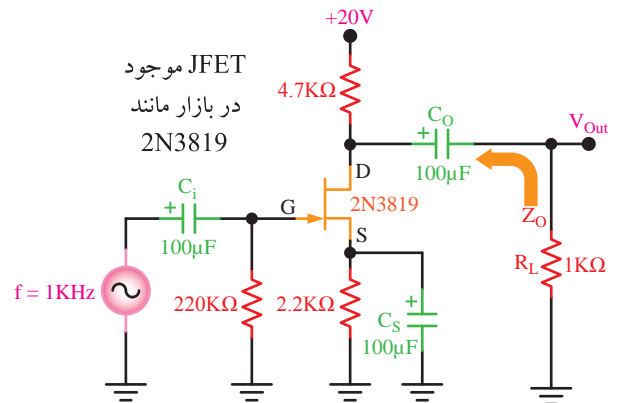
۸-۷-۵- رابطه‌ی $Z_O = \frac{V_{ONL} - V_{OFL}}{V_{OFL}} \times R_L$ اثبات کنید.

۸-۷-۶- در شکل ۸-۲۱ اگر $I_D = 2\text{mA}$ و $I_G = 0$ باشد مقادیر ولتاژهای V_{DS} و V_{GS} را محاسبه کنید.

می‌کند را محاسبه کنید. این جریان، جریان ورودی مدار سورس مشترک است.

★ ۸-۵-۳۷- $Z_i = \frac{V_{(BA)}}{I_S}$ با استفاده از رابطه‌ی مقدار امپدانس ورودی تقویت‌کننده را محاسبه کنید.

۸-۵-۳۸- مقاومت $R_S = 1\text{K}\Omega$ را از ورودی حذف کنید و آن را به جای R_L ، مطابق شکل ۸-۲۰، در خروجی قرار دهید. در این حالت خازن کوپلاژ $C_O = 100\mu\text{F}$ در خروجی قرار می‌گیرد.



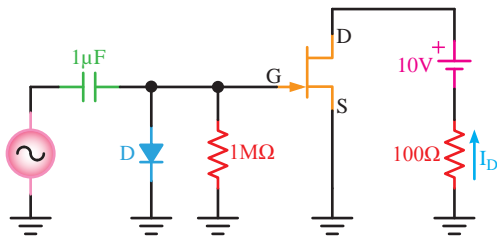
شکل ۸-۲۰- قرار دادن مقاومت R_L در خروجی

★ ۸-۵-۳۹- امپدانس خروجی مدار را از محلی که در شکل ۸-۲۰ نشان داده شده است اندازه‌گیری کنید.

تذکر

برای اندازه‌گیری امپدانس خروجی مقاومت R_L را برداشته، دامنه‌ی سیگنال خروجی را با اسیلوسکوپ اندازه‌گیری و یادداشت کنید. این ولتاژ را با « V_{ONL} » نشان می‌دهند؛ سپس مقاومت R_L را در مدار قرار دهید و دامنه‌ی سیگنال خروجی را با اسیلوسکوپ اندازه‌گیری و یادداشت کنید. این ولتاژ را نیز با « V_{OFL} » نشان می‌دهند.

۸-۷-۹ با استفاده از مدار شکل ۸-۲۴ می‌خواهیم منحنی انتقالی ترانزیستور FET را روی صفحه‌ی اسیلوسکوپ مشاهده کنیم. محل اتصال مدار را به اسیلوسکوپ در شکل مشخص نمایید. نحوه‌ی تشکیل منحنی را شرح دهید.



شکل ۸-۲۴ - مشاهده‌ی منحنی انتقالی

۸-۷-۱۰ با مراجعه به برگه‌ی اطلاعات ۸-۱ مفاهیم زیر را توضیح دهید:

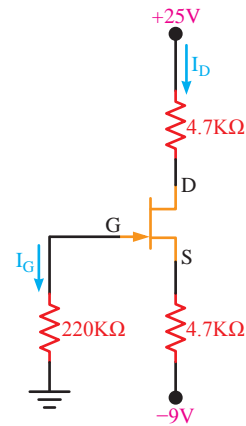
- Gate Source Voltage
- Forward Transfer Admittance
- Input Capacitance
- Storage Temperature Range

۸-۷-۱۱ نحوه‌ی تعیین پایه‌های ترانزیستور JFET را با استفاده از اهم‌تر شرح دهید.

ارزش‌یابی

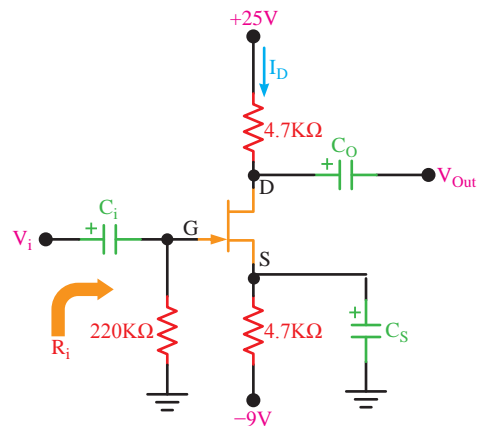
۸-۸-۸ ★ ارزش‌یابی پایان هر آزمایش

در زمان تعیین شده گزارش کار خود را کامل کنید و جهت ارزش‌یابی به مربی کارگاه مراجعه نمایید.



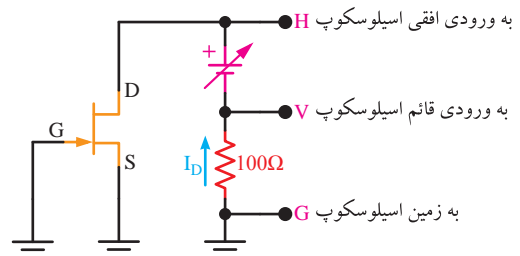
شکل ۸-۲۱ - محاسبه‌ی V_{GS} و V_{DS} با توجه به I_D

۸-۷-۷ در شکل ۸-۲۲، الف) مدار در چه آرایشی به‌کار رفته است؟ ب) امپدانس ورودی مدار را محاسبه کنید.



شکل ۸-۲۲ - محاسبه‌ی مقادیر V_{GS} ، I_D و V_{DS}

۸-۷-۸ آیا با استفاده از شکل ۸-۲۳ می‌توان منحنی خروجی ترانزیستور JFET را روی صفحه‌ی اسیلوسکوپ مشاهده کرد؟ شرح دهید.



شکل ۸-۲۳ - مشاهده‌ی منحنی خروجی ترانزیستور FET روی اسیلوسکوپ